

A 6.8 ppm/°C BANDGAP VOLTAGE REFERENCE IN 180 nm CMOS PROCESS

Nguyen Thi Thao¹, Nguyen Huu Tho^{2*}

¹Academy of Military Science and Technology

²Le Quy Don Technical University

ARTICLE INFO		ABSTRACT
Received:	04/8/2022	This paper presents the design of a bandgap voltage reference (BGR) circuit independent on process, temperature and voltage (PVT) for electronic circuits that require a high precision reference voltage integrated on the chip. The proposed BGR circuit achieves low temperature coefficient (TC) by combining an operational amplifier (OPA) with high gain and output voltage trimming technique. In addition, the OPA circuit is designed including inside bias circuit, thus increasing the ability to integrate on the chip. The proposed BGR circuit is implemented in a 180 nm CMOS process. The simulation results illustrate that the BGR generates a stable reference voltage of 0.6 V and a power consumption of 54.36 μ W with a supply voltage of 1.8 V. The average temperature coefficient achieved is 6.8 ppm/°C for the wide temperature range from -40°C to 125°C and the line regulation performance is 0.12 %/V. The power supply rejection ratio at 1 kHz, 100 kHz and 10 MHz are 51.3 dB, 32.4 dB and 20.1 dB, respectively.
Revised:	19/8/2022	
Published:	19/8/2022	
KEYWORDS		
Bandgap Voltage Reference (BGR)		
Low Temperature Coefficient		
Line Regulation		
Power Supply Ripple Rejection		
Output Voltage Trimming		

MẠCH TẠO ĐIỆN ÁP THAM CHIỀU ỔN ĐỊNH ĐẠT ĐƯỢC 6.8 ppm/°C TRÊN CÔNG NGHỆ CMOS 180 nm

Nguyễn Thị Thảo¹, Nguyễn Hữu Thọ^{2*}

¹Viện Khoa học và Công nghệ Quân sự

²Học viện Kỹ thuật Quân sự

THÔNG TIN BÀI BÁO		TÓM TẮT
Ngày nhận bài:	04/8/2022	Bài báo này trình bày về thiết kế mạch tạo điện áp tham chiếu ổn định (Bandgap Voltage Reference: BGR) không phụ thuộc vào sự thay đổi của quy trình công nghệ, nhiệt độ và điện áp nguồn cung cấp (Process, Temperature, Voltage: PVT) ứng dụng cho các mạch điện tử yêu cầu điện áp tham chiếu có độ chính xác cao tích hợp trên chip. Mạch BGR đề xuất đạt được hệ số nhiệt độ (Temperature Coefficient: TC) thấp bằng cách kết hợp sử dụng mạch khuếch đại thuật toán (Operational Amplifier: OPA) có hệ số khuếch đại cao và kỹ thuật điều chỉnh điện áp đầu ra. Ngoài ra, mạch OPA được thiết kế với mạch phân áp cho các bóng bán dẫn nằm bên trong mạch nên tăng khả năng tích hợp trên chip. Mạch BGR với kỹ thuật điều chỉnh điện áp đầu ra đề xuất được thiết kế trên công nghệ CMOS 180 nm. Kết quả mô phỏng thể hiện mạch tạo ra điện áp tham chiếu ổn định 0,6 V và tiêu thụ công suất 54,36 μ W với điện áp nguồn cung cấp 1,8 V. Hệ số nhiệt độ trung bình đạt được là 6,8 ppm/°C cho khoảng nhiệt độ rộng từ -40°C đến 125°C và chất lượng điều chỉnh tuyến tính là 0,12 %/V. Tỷ số loại bỏ tạp âm nguồn cung cấp tại 1 kHz, 100 kHz và 1 MHz tương ứng là 51,3 dB, 32,4 dB và 20,1 dB.
Ngày hoàn thiện:	19/8/2022	
Ngày đăng:	19/8/2022	
TỪ KHÓA		
Tham chiếu điện áp ổn định (BGR)		
Hệ số nhiệt độ thấp		
Sự điều chỉnh tuyến tính		
Loại bỏ tạp âm nguồn cung cấp		
Điều chỉnh điện áp đầu ra		

DOI: <https://doi.org/10.34238/tnu-jst.6326>

* Corresponding author. Email: tho.nh@mta.edu.vn

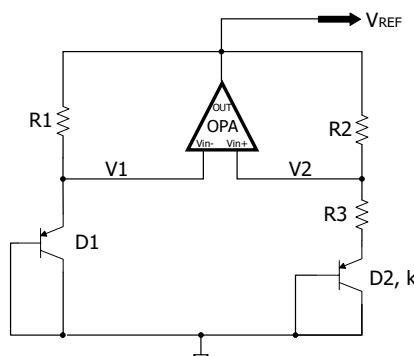
1. Giới thiệu

Mạch tạo điện áp tham chiếu (Bandgap voltage reference: BGR) có phạm vi ứng dụng rộng rãi trong các mạch tích hợp tín hiệu hỗn hợp (tương tự kết hợp với số) và tín hiệu tương tự, mạch quản lý nguồn và các mạch tần số vô tuyến. Mạch BGR tạo ra điện áp tham chiếu chính xác, ổn định, không phụ thuộc vào sự thay đổi của quy trình công nghệ, nhiệt độ và điện áp nguồn cung cấp (Process, Temperature, Voltage: PVT). Độ chính xác và ổn định của điện áp tham chiếu đạt được bằng cách bù điện áp hệ số nhiệt độ âm của tiếp giáp B-E trong bóng bán dẫn lưỡng cực (BJT) với một điện áp hệ số nhiệt độ dương. Tham số quan trọng để đánh giá chất lượng của điện áp tham chiếu là hệ số nhiệt độ (Temperature Coefficient: TC) với TC càng nhỏ thì chất lượng mạch BGR càng tốt. TC được định nghĩa như sự thay đổi của điện áp đầu ra do sự thay đổi của nhiệt độ và thường được biểu diễn bằng ppm/°C.

Hiện nay, đã có nhiều nghiên cứu được thực hiện về mạch BGR [1] – [8]. Tuy nhiên, mạch BGR trong các nghiên cứu này có giá trị TC tương đối lớn: 114 ppm/°C trong [1], 102 ppm/°C trong [2], 53 ppm/°C trong [3], 78 ppm/°C trong [4], 99 ppm/°C trong [5], 104 ppm/°C trong [6], 89,8 ppm/°C trong [7] và 65 ppm/°C trong [8]. Để đạt được TC nhỏ, các nghiên cứu trong [9], [10] đã thực hiện hai bước điều chỉnh điện áp đầu ra: bù cho nhiệt độ và bù cho quy trình công nghệ. Tuy nhiên, [9] và [10] tạo ra điện áp tham chiếu lớn hơn 1 V (1,285 trong [9] và 1,1419 trong [10]), dẫn đến không thích hợp với các ứng dụng yêu cầu điện áp tham chiếu nhỏ, đặc biệt trong các mạch ổn áp điện áp rơi thấp có điện áp nguồn cung cấp nhỏ hơn 1 V. Hơn nữa, việc điều chỉnh hai lần điện áp đầu ra làm cho mạch thực hiện trở nên phức tạp hơn. Để khắc phục vấn đề này, các nghiên cứu trong [11] – [13] chỉ thực hiện một lần điều chỉnh điện áp đầu ra mà vẫn đảm bảo được giá trị TC nhỏ, cũng như tạo ra điện áp tham chiếu nhỏ. Tuy nhiên, mạch khuếch đại thuật toán (Operational Amplifier: OPA) trong [11] và [12] yêu cầu một dòng điện phân áp bên ngoài nên giảm khả năng tích hợp cho chip. Trong khi mạch BGR trong [13] có công suất tiêu thụ tương đối lớn (77 μ W).

Bài báo này đề xuất mạch BGR cho các mạch tích hợp tín hiệu tương tự và tín hiệu hỗn hợp với hệ số nhiệt độ thấp đạt được chỉ bằng một lần điều chỉnh điện áp đầu ra. Điều này đạt được bằng cách kết hợp sử dụng mạch OPA có hệ số khuếch đại cao và kỹ thuật điều chỉnh điện áp tham chiếu đầu ra để bù cho sự thay đổi của PVT. Ngoài ra mạch OPA được thiết kế bao gồm mạch phân áp bên trong để đảm bảo khả năng tích hợp cho chip. Bài báo gồm có năm phần, phần tiếp theo sẽ trình bày về mạch BGR cơ bản, bao gồm các thành phần, nguyên lý hoạt động và phân tích. Phần thứ 3 sẽ trình bày về mạch BGR đề xuất với mạch OPA và mạch điều chỉnh điện áp tham chiếu đầu ra, kết quả mô phỏng mạch được giới thiệu trong phần 4 và cuối cùng là kết luận.

2. Tổng quan về mạch BGR



Hình 1. Kiến trúc mạch BGR thông thường

Mạch BGR thông thường được thể hiện như trên Hình 1 [14]. Mạch OPA được sử dụng để đảm bảo sự cân bằng về điện áp tại hai điểm V1 và V2. Bóng bán dẫn PNP được nối đất cực B để

hoạt động như một đi-ốt tiếp giáp pn phân cực thuận và tạo ra nguồn điện áp CTAT (complementary proportional to absolute temperature). Trong khi đó, điện áp tương đương của nhiệt độ (V_T) thể hiện đặc tính của nguồn PTAT (proportional to absolute temperature).

Khi V_{REF} tăng theo nhiệt độ thì điện áp tham chiếu tỷ lệ thuận với PTAT và khi V_{REF} giảm theo nhiệt độ thì khi đó điện áp tham chiếu tỷ lệ nghịch với CTAT. Từ đó, PTAT và CTAT được sử dụng để mạch BGR tạo ra điện áp tham chiếu không phụ thuộc vào nhiệt độ. Theo nguyên lý hoạt động của đi-ốt, các đi-ốt có cùng dòng cực C nhưng có diện tích cực E khác nhau cũng tạo ra nguồn điện áp CTAT nhưng với biên độ khác nhau. Sự khác nhau về điện áp giữa các đi-ốt này được tìm thấy là PTAT [14].

Dòng cực C của bóng bán dẫn lưỡng cực được xác định như:

$$I_C = I_S e^{\left(\frac{V_{EB}}{V_T}\right)} \quad (1)$$

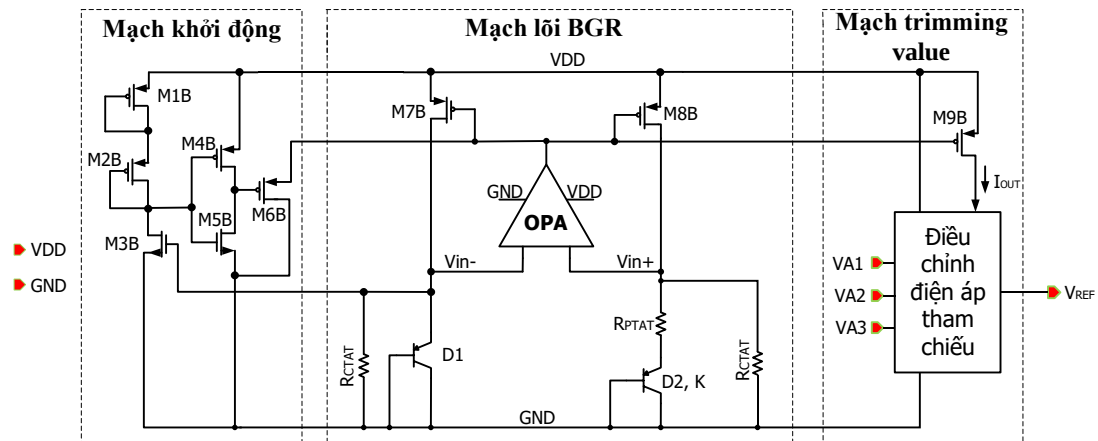
Khi đó: $V_{EB} = V_T \ln \left(\frac{I_C}{I_S} \right)$ với I_S là dòng bão hòa, V_T là điện áp nhiệt bằng kT/q . Từ đó theo [14] thì điện áp đầu ra mạch BGR trở thành:

$$V_{REF} = V_{EB} + \frac{R2}{R3} \Delta V_{EB} \quad (2)$$

với ΔV_{EB} là sự khác nhau giữa điện áp thuận của D1 và D2 và bằng $V_T \ln k$. Thành phần đầu tiên của biểu thức (2) có hệ số TC âm xấp xỉ bằng $-2 \text{ mV}/^\circ\text{C}$ và thành phần thứ hai có hệ số TC dương xấp xỉ bằng $+0,085 \text{ mV}/^\circ\text{C}$. Như vậy, bằng cách lựa chọn phù hợp hệ số k và các giá trị điện trở R2, R3, sự phụ thuộc vào nhiệt độ của CTAT và PTAT được triệt tiêu (TC xấp xỉ bằng 0), dẫn đến điện áp tham chiếu gần như không phụ thuộc vào nhiệt độ.

Tuy nhiên, tại nhiệt độ phòng (27°C) thì V_{REF} sẽ xấp xỉ bằng 1.25 V [14]. Giá trị điện áp tham chiếu này không phù hợp với các công nghệ có điện áp nguồn cung cấp thấp. Hơn nữa, với kích thước bóng bán dẫn nhỏ thì điện áp đi qua đi-ốt không chỉ có thành phần TC âm mà còn có thành phần TC dương (nguồn PTAT). Điều này dẫn đến hệ số TC lớn trong kiến trúc BGR thông thường.

3. Mạch BGR đề xuất



Hình 2. Kiến trúc mạch BGR chế độ dòng đề xuất

Như đã được chỉ ra trong phần 2, kiến trúc mạch BGR thông thường có TC lớn và không phù hợp với các ứng dụng yêu cầu điện áp tham chiếu thấp (nhỏ hơn 1V). Vì vậy, bài báo này đề xuất thực hiện mạch BGR cải tiến dựa trên mạch BGR chế độ dòng trong [15]. Kiến trúc mạch BGR đề xuất được thể hiện như trên Hình 2. Mạch BGR gồm ba thành phần là mạch khởi động, mạch lõi BGR và mạch điều chỉnh điện áp tham chiếu đầu ra (trimming value) để bù lại ảnh hưởng của

sự thay đổi PVT. Mạch BGR được thiết kế để tạo ra điện áp đầu ra 600 mV, cung cấp điện áp tham chiếu cho các mạch tích hợp hoạt động với nguồn cung cấp thấp.

Mạch khởi động đóng vai trò quan trọng trong kiến trúc mạch BGR, nó bao gồm các bóng bán dẫn từ M1B đến M6B [13], đảm bảo cho mạch BGR không rơi vào trạng thái khóa khi mới bật nguồn. Điều này là bởi, khi bật nguồn, dòng cung cấp cho mạch ban đầu bằng 0 A và điện áp trên hai đầu vào (Vin- và Vin+) của mạch OPA bằng 0 V, dẫn đến mạch OPA rơi vào trạng thái ổn định và mạch BGR không làm việc. Ngược lại, với mạch khởi động trong mạch BGR, khi mới bật nguồn, điện áp trên cực D của M3B mức cao, điện áp trên cực G của M6B mức thấp, M6B mở để đưa BGR về trạng thái làm việc thông thường. Mạch khởi động không ảnh hưởng tới hoạt động thông thường của BGR vì khi mạch BGR làm việc, điện áp trên cực G của M6B ở mức cao, dẫn đến ngắt M6B.

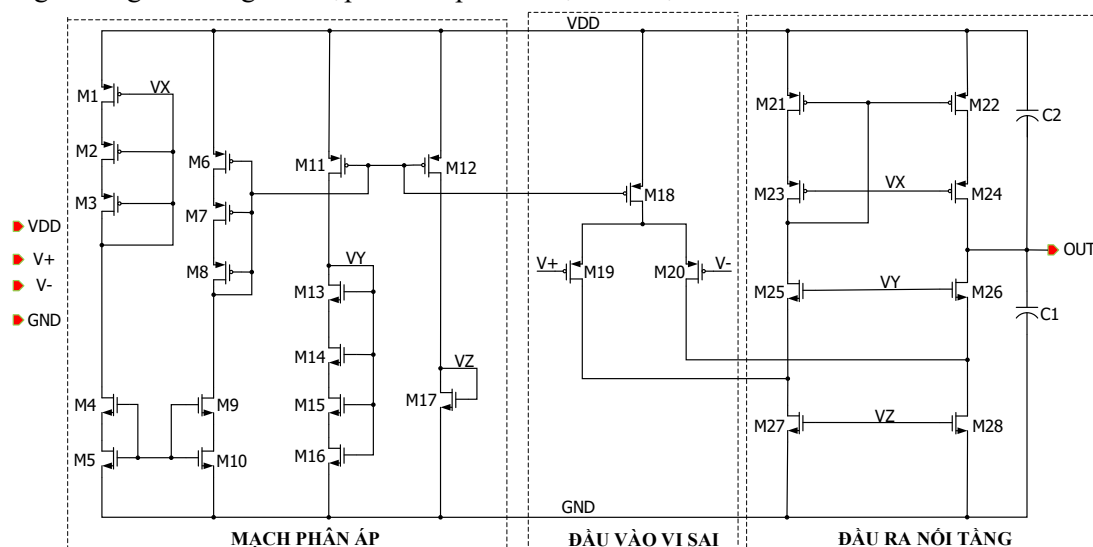
Mạch lõi BGR bao gồm các bóng bán dẫn M7B, M8B, D1, D2, điện trở R_{PTAT} , R_{CTAT} và mạch OPA. M7B và M8B có kích thước giống nhau và được kết nối theo kiểu gương dòng điện để đảm bảo dòng điện chạy qua chúng là như nhau. D1, D2 được sử dụng để tạo ra dòng PTAT trong khi để bù cho dòng PTAT thì dòng CTAT được tạo ra bằng cách sử dụng điện trở R_{CTAT} . Khi nhiệt độ tăng thì điện áp qua D1, D2 sẽ làm cho dòng CTAT qua R_{CTAT} giảm. Dòng điện đầu ra được xác định như [15]:

$$I_{OUT}(T) = \frac{V_T(T) \ln k}{R_{PTAT}} + \frac{V_{EB}(T)}{R_{CTAT}} \quad (3)$$

Biểu thức (3) cho thấy, dòng TC bằng 0 có thể đạt được bằng cách điều chỉnh thích hợp tỷ số giữa R_{CTAT} và R_{PTAT} .

3.1. Mạch khuếch đại thuật toán

Mạch khuếch đại thuật toán đóng vai trò quan trọng trong mạch lõi của BGR, nó đảm bảo điện áp tại Vin- và Vin+ (Hình 2) bằng nhau để duy trì TC thấp và quyết định đến chất lượng loại bỏ tạp âm nguồn cung cấp và độ ổn định của mạch BGR. Vì vậy, mạch OPA có hệ số khuếch đại cao và độ dự trữ pha (Phase Margin: PM) lớn được yêu cầu. Để đạt được điều này, bài báo đề xuất thực hiện kiến trúc mạch OPA vi sai nối tầng [11], [12] nhưng với mạch tự phân áp bên trong để tăng khả năng tích hợp trên chip như được thể hiện trên Hình 3.



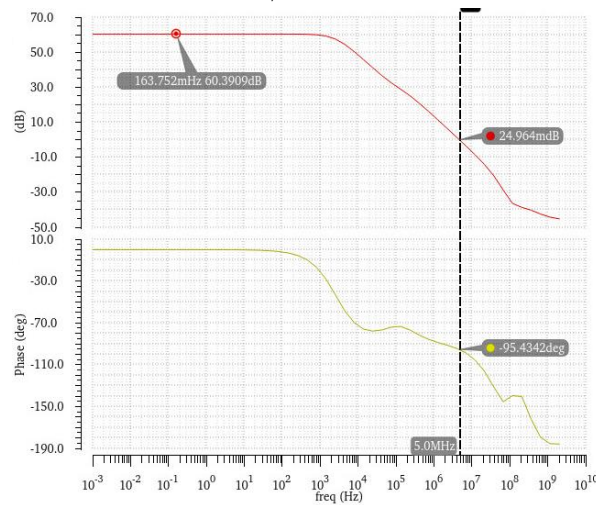
Hình 3. Mạch OPA vi sai nối tầng

Mạch OPA đề xuất bao gồm mạch phân áp, tầng đầu vào vi sai và tầng đầu ra nối tầng. Bởi vì điện áp đầu vào của OPA thấp nên bóng bán dẫn kiểu P được sử dụng trong tầng vi sai đầu vào.

Tầng đầu ra nối tầng bao gồm tầng D chung và S chung để tăng điện trở đầu ra của mạch, đảm bảo hệ số khuếch đại cao cho mạch. Các tụ C1, C2 được sử dụng để bù ổn định, tăng PM cho OPA. Hệ số khuếch đại của OPA được xác định theo biểu thức:

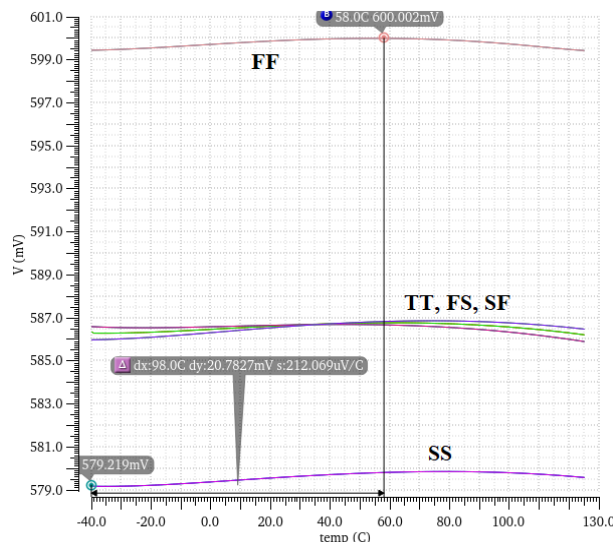
$$A_v = g_{m20} ((g_{m26} * r_{o26} * r_{o28}) / (g_{m24} * r_{o24} * r_{o22})) \quad (4)$$

trong đó, A_v là hệ số khuếch đại của OPA nối tầng, g_{m20} , g_{m24} , g_{m26} lần lượt là độ dẫn của các bóng bán dẫn M20, M24, M26, và r_{o22} , r_{o24} , r_{o26} , r_{o28} lần lượt là điện trở mở của các bóng bán dẫn M22, M24, M26, M28. Như vậy, để tăng A_v chúng ta có thể tăng độ dẫn của các bóng bán dẫn với trả giá về công suất tiêu thụ. Hình 4 thể hiện kết quả mô phỏng hệ số khuếch đại và độ dự trữ pha của OPA trên phần mềm thiết kế chip chuyên dụng Cadence [16]. Mạch OPA đạt được hệ số khuếch đại cao ($A_v = 60,4$ dB) và độ dự trữ pha lớn ($PM = 84^\circ$).



Hình 4. Kết quả mô phỏng đáp ứng tần số của OPA vi sai nối tầng

3.2. Mạch trimming value

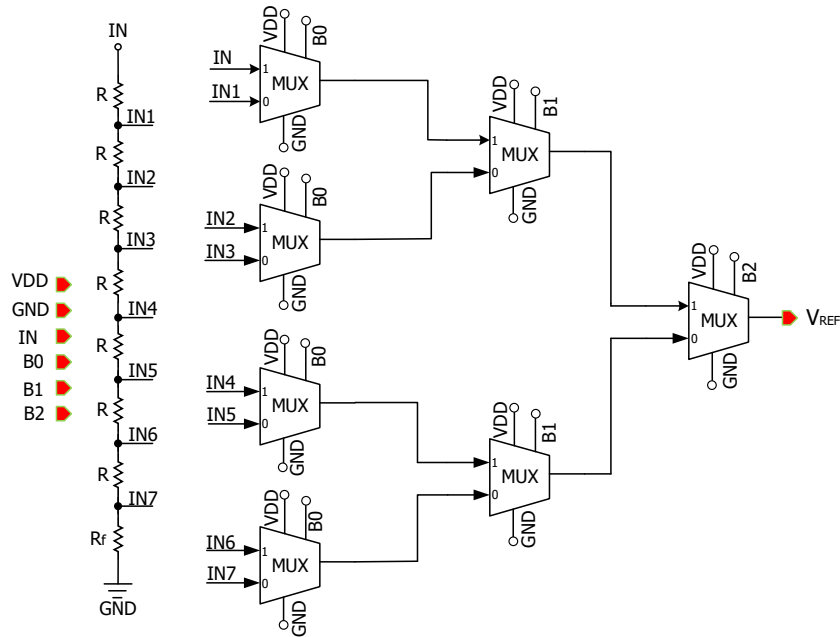


Hình 5. Kết quả mô phỏng điện áp đầu ra BGR theo các corner khi chưa có mạch trimming value

Hình 5 thể hiện kết quả mô phỏng điện áp đầu ra của mạch BGR theo các corner quy trình công nghệ (TT, SS, FF, SF, FS) khi chưa có mạch điều chỉnh điện áp đầu ra. Kết quả mô phỏng

cho thấy mạch có TC nhỏ tại từng corner nhưng có sự khác nhau lớn về giá trị điện áp ra giữa các corner (V_{REF} xấp xỉ 600 mV tại corner FF; 586 mV tại TT, FS, SF và 579 mV tại SS). Như vậy, cần một mạch trimming value để điều chỉnh điện áp đầu ra và bù lại ảnh hưởng của sự thay đổi quy trình công nghệ.

Hình 6 thể hiện kiến trúc thực hiện của mạch trimming value đề xuất. Mạch trimming bao gồm các điện trở điều chỉnh điện áp đầu ra và các mạch ghép kênh. Ba bit điều khiển B0, B1, B2 được sử dụng để lựa chọn 8 giá trị điện trở cho tầng đầu ra, đảm bảo khoảng trimming rộng cho giá trị điện áp đầu ra (V_{REF}). Mỗi quan hệ giữa các bit điều khiển và đầu ra của mạch được thể hiện như trên Bảng 1.



Hình 6. Mạch trimming value đề xuất

Bảng 1. Mỗi quan hệ giữa các bit điều khiển và điện trở đầu ra

B0B1B2	000	001	010	011	100	101	110	111
Đầu ra được nối với	IN7	IN6	IN5	IN4	IN3	IN2	IN1	IN
R_{out}	R_f	$R_f + R$	$R_f + 2R$	$R_f + 3R$	$R_f + 4R$	$R_f + 5R$	$R_f + 6R$	$R_f + 7R$

Quá trình trimming mạch được thực hiện theo các bước như sau:

Bước 1: Thiết lập 3 bit điều khiển B0B1B2 = 000, mô phỏng mạch tại corner FF (corner có điện áp đầu ra lớn nhất). Điều chỉnh R_f để đạt được $V_{REF} = 600$ mV, cố định giá trị của R_f .

Bước 2: Chạy mô phỏng với tất cả các corner (FF, TT, SS, SF, FS) với giá trị R_f đã xác định được. Đo sai lệch điện áp đầu ra lớn nhất giữa các corner, gọi giá trị này là ΔV_{max} .

Bước 3: Xác định bước trimming (Δ_{trim}) và giá trị của điện trở trimming (R) theo các biểu thức (5) và (6):

$$\Delta_{trim} = \frac{\Delta V_{max} (mV)}{7} \quad (5)$$

$$R = \frac{\Delta_{trim} (mV)}{I_{out} (\mu A)} (k\Omega) \quad (6)$$

Bước 4: Xác định các bit điều khiển B0B1B2 tương ứng với các corner.

Trong thiết kế này, giá trị dòng điện đầu ra $I_{out} = 1,92 \mu A$, sai lệch điện áp đầu ra lớn nhất giữa các corner $\Delta V_{max} = 20,78 \text{ mV}$ (Hình 5), nên giá trị của điện trở trimming mạch được xác định là $R = 1,54 \text{ k}\Omega$. Dựa trên các phân tích đã thực hiện, các giá trị linh kiện thiết kế cho mạch BGR được tổng kết như trong Bảng 2.

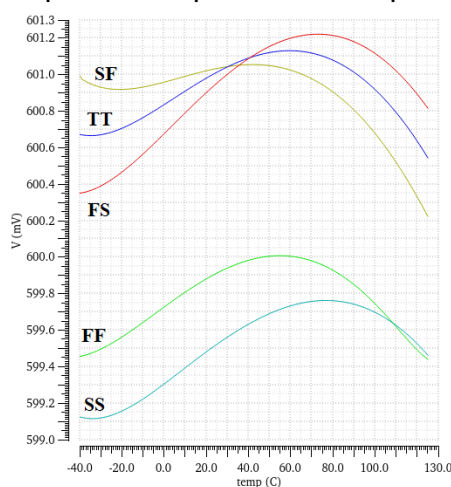
Bảng 2. Các giá trị tham số thiết kế cho mạch BGR

M1B, M2B (W/L)	270n/2 μ	D2 (W/L), k	5 μ /5 μ , 8
M3B, M5B (W/L)	270n/150n	R_{CTAT} (k Ω)	1546,5
M4B, M6B (W/L)	2 μ /150n	R_{PTAT} (k Ω)	141,1
M7B, M8B, M9B (W/L)	5 μ /2 μ	R_f (k Ω)	364,6
D1 (W/L)	5 μ /5 μ	R (k Ω)	1,54

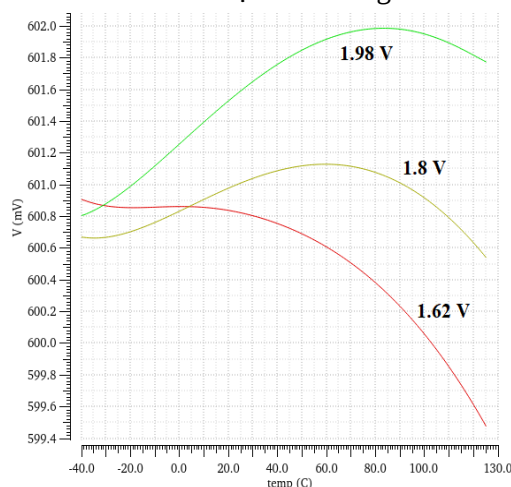
4. Kết quả mô phỏng và thảo luận

Mạch BGR với mạch khuếch đại thuật toán và mạch trimming value đề xuất được thiết kế trên công nghệ CMOS 180 nm, tạo ra điện áp tham chiếu 600 mV. Mạch tiêu thụ dòng 30,2 μA và 54,36 μW công suất với điện áp nguồn cung cấp 1,8 V.

Hình 7 thể hiện kết quả mô phỏng điện áp đầu ra của mạch BGR đề xuất theo các corner sau khi trimming. Kết quả thể hiện rằng, điện áp đầu ra của mạch hội tụ ở 600 mV tại tất cả các corner và mạch BGR có khả năng bù tốt với sự thay đổi của PVT. Giá trị TC trung bình là 6,8 ppm/ $^{\circ}C$ qua một khoảng rộng của nhiệt độ 165 $^{\circ}C$ (từ -40 $^{\circ}C$ đến +125 $^{\circ}C$). Giá trị TC tốt nhất đạt được là 5,6 ppm/ $^{\circ}C$. Chênh lệch điện áp đầu ra lớn nhất giữa các corner là 2,1 mV. Điều này là bởi mạch BGR được thiết kế với mạch trimming value đề xuất để bù lại ảnh hưởng của PVT.



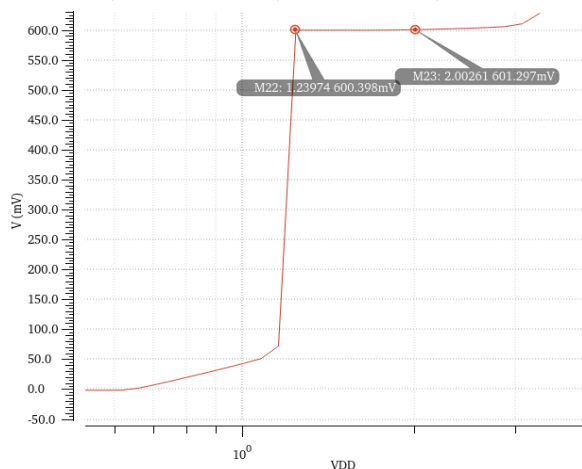
Hình 7. Kết quả mô phỏng điện áp đầu ra của mạch BGR đề xuất



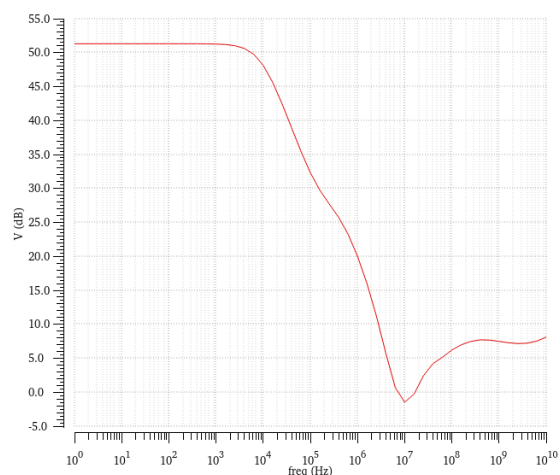
Hình 8. Kết quả mô phỏng đặc tính nhiệt độ của BGR tại các điện áp nguồn cung cấp khác nhau

Hình 8 thể hiện kết quả mô phỏng đặc tính nhiệt độ của điện áp đầu ra tại ba giá trị nguồn cung cấp khác nhau. Kết quả cho thấy, đặc tính nhiệt độ của mạch BGR đề xuất ít bị ảnh hưởng bởi điện áp nguồn cung cấp. Hình 9 thể hiện kết quả mô phỏng sự thay đổi của điện áp ra của mạch BGR theo điện áp nguồn cung cấp (VDD). Nó thể hiện rằng, mạch BGR đề xuất có chất lượng điều chỉnh tuyến tính cao như 0,12%/V. Điện áp đầu ra của mạch tại VDD 1,24 V và 2 V lần lượt là 600,4 mV và 601,3 mV, nó tăng chậm theo điện áp nguồn cung cấp. Kết quả mô phỏng tỷ số loại bỏ tạp âm nguồn cung cấp (PSRR) được thể hiện trên Hình 10. PSRR được mô phỏng trong một khoảng tần số rộng từ 0 Hz đến hơn 100 MHz. PSRR đạt được 51,3 dB tại các tần số thấp (nhỏ hơn 1 kHz) và giảm xuống 32,4 dB và 20,1 dB khi tần số tăng lên 100 kHz và 1

MHz. Kết quả thể hiện rằng mạch BGR có chất lượng PSRR tốt. Điều này đạt được dựa trên việc thiết kế mạch OPA có hệ số khuếch đại cao.



Hình 9. Kết quả mô phỏng điều chỉnh tuyến tính của mạch BGR



Hình 10. Kết quả mô phỏng PSRR của mạch BGR

Bảng 3 tổng kết và so sánh chất lượng của mạch BGR đề xuất với các nghiên cứu trước. Mạch BGR đề xuất có giá trị TC nhỏ nhất trong khoảng nhiệt độ rộng nhất với trả giá về công suất tiêu thụ. Đồng thời, mạch BGR cũng tạo ra điện áp tham chiếu nhỏ.

Bảng 3. Tổng kết và so sánh chất lượng của mạch OCL-LDO

	[2] (Mô phỏng)	[3] (Đo)	[8] (Đo)	[11] (Đo)	Đề xuất (Mô phỏng)
Công nghệ (nm)	180	90	350	180	180
Nguồn cấp (V)	0,9	1,15	2,8	0,9	1,8
V_{REF} (mV)	551,78	720	1170	403,73	600
Công suất tiêu thụ (μ W)	96,67	0,58	0,054	0,066	54,36
TC (ppm/ $^{\circ}$ C)	102	53,1	65	22,7	6,8
Khoảng nhiệt độ ($^{\circ}$ C)	0 ÷ 100	0 ÷ 100	0 ÷ 80	-40 ÷ 125	-40 ÷ 125
Độ điều chỉnh tuyến tính (%/V)	N/A	0,3	0,112	0,059	0,12
PSRR (dB)	N/A	52@100Hz	N/A	46@100Hz	51,3@1kHz

5. Kết luận

Bài báo này trình bày về thiết kế mạch BGR để tạo ra điện áp tham chiếu ổn định cho các mạch điện tích hợp trên chip. Kỹ thuật trimming điện áp đầu ra để bù cho ảnh hưởng của sự thay đổi quy trình công nghệ, nhiệt độ và điện áp nguồn cung cấp được đề xuất. Cùng với đó, thiết kế mạch khuếch đại thuật toán tích hợp hoàn toàn trên chip được thực hiện và phân tích chi tiết các bước thực hiện trimming mạch cũng được giới thiệu. Mạch BGR đề xuất đạt được giá trị TC thấp trong khoảng rộng của nhiệt độ và có chất lượng điều chỉnh tuyến tính và PSRR tốt. Hướng phát triển tiếp theo của nghiên cứu là giảm công suất tiêu thụ của mạch BGR và chế tạo chip để đạt được các kết quả đo.

TÀI LIỆU THAM KHẢO/ REFERENCES

- [1] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "1.2-V supply, 100-nW, 1.09-V bandgap and 0.7-V supply, 52.5-nW, 0.55-V subbandgap reference circuits for nanowatt CMOS LSIs," *IEEE J. Solid-State Circuits*, vol. 48, no. 6, pp. 1530–1538, Jun. 2013.
- [2] S. K. Koh and L. Lee, "Low Power CMOS Bandgap Reference Circuit," in *IEEE Student Conference on Research and Development*, Penang, Malaysia, 2014.

- [3] K. K. Lee, T. S. Lande, and P. T. Häfliger, "A sub- μ W bandgap reference circuit with an inherent curvature-compensation property," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 1, pp. 1–9, Jan. 2015.
- [4] A. Shrivastava, N. E. Roberts, D. D. Wentzloff, B. H. Calhoun, and K. Craig, "A 32 nW bandgap reference voltage operational from 0.5 V supply for ultra-low power systems," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2015, pp. 94–95.
- [5] Y. Nigam, R. Pandey, and N. Pandey, "Curvature Compensated TIA based BGR," in *4th International Conference on Signal Processing and Integrated Networks (SPIN)*, India, 2017.
- [6] A. C. de Oliveira, D. Cordova, H. Klimach, and S. Bampi, "Picowatt, 0.45–0.6 V self-biased subthreshold CMOS voltage reference," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, no. 12, pp. 3036–3046, 2017.
- [7] J. Lin, L. Wang, C. Zhan, and Y. Lu, "A 1-nW Ultra-Low Voltage Sub-threshold CMOS Voltage Reference With 0.0154%/V Line Sensitivity," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 10, pp. 1653–1657, 2019.
- [8] S. Wang and P. K. T. Mok, "An 18-nA Ultra-Low-Current Resistor-Less Bandgap Reference for 2.8 V–4.5 V High Voltage Supply LiIon-Battery-Based LSIs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 67, no. 11, pp. 2382–2386, Nov. 2020.
- [9] R. Wang, W. Lu, M. Zhao, Y. Niu, Z. Liu, Y. Zhang, and Z. Chen, "A Sub-1ppm/ $^{\circ}$ C Current-Mode CMOS Bandgap Reference With Piecewise Curvature Compensation," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 65, no. 3, pp. 904–913, March, 2018.
- [10] J.-H. Boo, K.-I. Cho, H.-J. Kim, J.-G. Lim, Y.-S. Kwak, S.-H. Lee, and G.-C. Ahn, "A Single-Trim Switched Capacitor CMOS Bandgap Reference With a 3σ Inaccuracy of +0.02%, -0.12% for Battery-Monitoring Applications," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 4, pp. 1197–1206, April 2021.
- [11] L. Wang, C. Zhan, J. Lin, S. Zhao, and N. Zhang, "A 0.9-V 22.7-ppm/ $^{\circ}$ C Sub-Bandgap Voltage Reference with Single BJT and Two Resistors," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, Korea, 2021.
- [12] B. Ma and F. Yu, "A Novel 1.2–V 4.5-ppm/ $^{\circ}$ C Curvature-Compensated CMOS Bandgap Reference," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no. 4, pp. 1026–1035, April, 2014.
- [13] X. Liu, S. Liang, W. Liu, and P. Sun, "A 2.5 ppm/ $^{\circ}$ C voltage reference combining traditional BGR and ZTC MOSFET high-order curvature compensation," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 4, pp. 1093–1097, April, 2021.
- [14] M. K. Adimulam and K. K. Movva, "A low power CMOS current mode bandgap reference circuit with low temperature coefficient of output voltage," in *Microelectronics and Electronics (PrimeAsia)*, India, 2012, pp. 144–149.
- [15] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*, John Wiley & Sons, Inc., Hoboken, New Jersey, 2010.
- [16] A. Martin, *Cadence Design Environment*, New Mexico State University, Oct. 2002.