

## A 2.15 GHz - 3.2 GHz DIFFERENTIAL MULTI-PASS RING OSCILLATOR ON 65 nm CMOS TECHNOLOGY

Hoang Minh Thien\*, Tran Viet Hung, Pham Viet Anh, Bui Quy Thang

*Le Quy Don Technical University*

ARTICLE INFO		ABSTRACT
<b>Received:</b>	<b>24/5/2023</b>	This paper presents the design of a ring oscillator on 65 nm CMOS semiconductor technology. The oscillator consists of 8 differential delay cells, providing 16 output phases. The differential delay cell is designed without the use of a tail current source, increasing the voltage swing at the output nodes and reducing the requirement for the supply voltage. To increase the output oscillation frequency while not increasing power consumption, the ring oscillator is designed using the multi-pass architecture. In addition, in this ring oscillator, dual frequency tuning paths are used, in which coarse tuning and fine tuning are performed in digital and analog form respectively, allowing the oscillator covers a wide range of frequency from 2.15 GHz to 3.2 GHz. The proposed ring oscillator has a power consumption of 0.57 mW with a supply voltage of 0.75 V at an output frequency of 2.25 GHz, suitable for low power and low voltage applications.
<b>Revised:</b>	<b>13/7/2023</b>	
<b>Published:</b>	<b>13/7/2023</b>	
<b>KEYWORDS</b>		
Ring Oscillator		
Voltage Controlled Oscillator		
Digital PLL		
CMOS Technology		
Delay Cell		

## BỘ DAO ĐỘNG MẠCH VÒNG ĐA ĐƯỜNG HỒI TIẾP VI SAI TẦN SỐ 2,15 GHz - 3,2 GHz TRÊN CÔNG NGHỆ BÁN DẪN CMOS 65 nm

Hoàng Minh Thiện\*, Trần Việt Hùng, Phạm Việt Anh, Bùi Quý Thắng

*Đại học Kỹ thuật Lê Quý Đôn*

THÔNG TIN BÀI BÁO		TÓM TẮT
<b>Ngày nhận bài:</b>	<b>24/5/2023</b>	Bài báo này trình bày thiết kế bộ tạo dao động mạch vòng trên công nghệ bán dẫn CMOS 65 nm. Bộ dao động bao gồm 8 khâu giữ chậm vi sai, cung cấp 16 pha đầu ra. Khâu giữ chậm vi sai được thiết kế không sử dụng đuôi nguồn dòng điện, làm tăng dải điện áp tại nút ra đồng thời giảm yêu cầu về độ lớn điện áp nguồn. Để tăng tần số dao động đầu ra trong khi không làm tăng công suất tiêu thụ, bộ dao động sử dụng kiến trúc đa đường hồi tiếp. Ngoài ra, trong bộ dao động mạch vòng này, các đường điều chỉnh tần số kép được sử dụng, trong đó việc điều chỉnh thô và điều chỉnh tinh được thực hiện tương ứng ở dạng kỹ thuật số và tương tự, cho phép bộ dao động bao phủ dải tần số rộng từ 2,15 GHz đến 3,2 GHz. Bộ dao động mạch vòng được thiết kế có công suất tiêu thụ 0,57 mW với điện áp nguồn 0,75 V ở tần số đầu ra 2,25 GHz, phù hợp với các ứng dụng điện áp nguồn nhỏ, công suất thấp.
<b>Ngày hoàn thiện:</b>	<b>13/7/2023</b>	
<b>Ngày đăng:</b>	<b>13/7/2023</b>	
<b>TỪ KHÓA</b>		
Dao động mạch vòng		
Bộ dao động VCO		
Vòng khóa pha số		
Công nghệ CMOS		
Khâu giữ chậm		

DOI: <https://doi.org/10.34238/tnu-jst.8015>

\* Corresponding author. Email: [thienhm.isi@lqdtu.edu.vn](mailto:thienhm.isi@lqdtu.edu.vn)

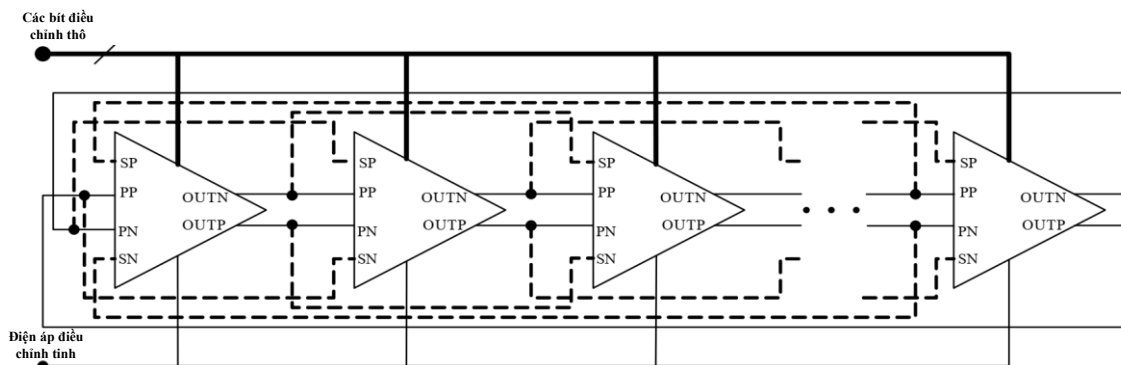
## 1. Giới thiệu

Bộ tạo dao động điều khiển bằng điện áp (VCO) là một thành phần phổ biến trong các hệ thống điện tử, thông tin, chúng là bộ phận quan trọng trong bộ tổng hợp tần số, bộ khôi phục clock (CDR), các bộ thu - phát hay các bộ chuyển đổi tương tự số kiểu delta-sigma [1] – [3]. VCO có thể là bộ dao động LC hoặc bộ dao động mạch vòng trên công nghệ CMOS. Mặc dù tạp pha của bộ tạo dao động mạch vòng kém hơn so với các bộ dao động LC, nhưng VCO dựa trên bộ dao động mạch vòng được ưu tiên sử dụng trong trường hợp yêu cầu công suất thấp và diện tích nhỏ. Bên cạnh đó, bộ dao động mạch vòng có dải tần số rộng hơn và rất thuận tiện để tạo ra các tín hiệu clock nhiều pha [3].

Ngày nay với sự bùng nổ của các thiết bị IoT, trong đó yêu cầu điện áp nhỏ, công suất tiêu thụ thấp được đặt lên hàng đầu, bên cạnh đó, một trong những đặc điểm quan trọng của bộ dao động là dải điều chỉnh tần số phải đủ rộng để có thể đáp ứng được miền ứng dụng đa dạng. Ngoài ra, trong hệ thống thông tin số hiện đại, yêu cầu về các tín hiệu dao động cùng tần số nhiều pha cách đều cũng được đặt ra phục vụ cho các kỹ thuật điều chế số [4]. Có một số kỹ thuật đã được công bố để thực hiện một bộ dao động vòng, trong đó các khâu giữ chậm (delay cell) được thực hiện ở dạng một đầu vào-ra đơn hoặc hai đầu vào-ra vi sai. So với kiểu đầu ra đơn, kiểu vi sai có ưu thế về mặt nhiễu tạp và tạo ra được nhiều pha đầu ra hơn. Trong [5], một bộ dao động vòng vi sai đã được thiết kế cho PLL, tuy nhiên, khâu giữ chậm là mạch vi sai sử dụng đuôi nguồn dòng điện, làm giới hạn dải điện áp tại nút ra, đồng thời không phù hợp cho các ứng dụng điện áp thấp dưới 1 V. Tương tự, trong [6] cũng sử dụng đuôi nguồn dòng cho khâu giữ chậm. Trong các thiết kế trên, bộ dao động vòng chỉ sử dụng một đường điều chỉnh tần số, do vậy, dải điều chỉnh tần số bị hạn chế. Để tăng dải tần số, [6] đã sử dụng đồng thời ba bộ dao động, làm tăng độ phức tạp, tiêu tốn diện tích chip và công suất tiêu thụ. Khâu giữ chậm trong [7] không dùng đuôi nguồn dòng, có hai đường điều chỉnh tần số thô, tinh bằng điện áp tương tự để mở rộng dải tần, tuy nhiên có một nhược điểm là mạch sử dụng nhiều tụ điện và điện trở, đều là những thành phần chiếm diện tích lớn trong công nghệ chip bán dẫn. Ngoài ra, để đạt được tần số cao, một số bộ dao động vòng đã được thiết kế với số lượng khâu giữ chậm ít, dẫn tới số lượng pha đầu ra hạn chế và để đạt được dải điều chỉnh lớn thì hệ số khuếch đại của khâu giữ chậm phải cao khiến cho công suất tiêu thụ cũng tăng lên [8].

Trong bài báo này, một bộ dao động vòng được thiết kế với 8 khâu giữ chậm vi sai tạo ra 16 pha đầu ra, khâu giữ chậm không sử dụng đuôi nguồn dòng cho phép giảm điện áp nguồn xuống thấp, đồng thời sử dụng các vòng hồi tiếp phụ nhằm tăng tần số đầu ra kết hợp việc sử dụng hai đường điều chỉnh thô, tinh để tăng dải tần điều chỉnh mà không cần tăng hệ số khuếch đại của khâu giữ chậm, làm giảm công suất tiêu thụ, phù hợp với các ứng dụng điện áp nguồn nhỏ, công suất thấp.

## 2. Phương pháp thiết kế

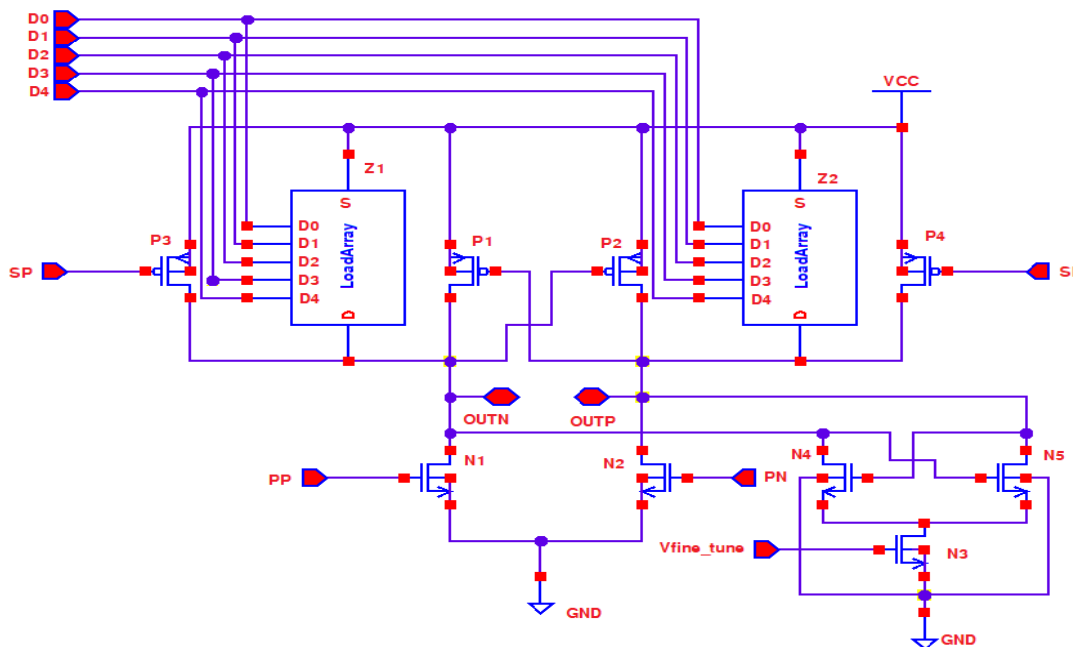


Hình 1. Sơ đồ cấu trúc bộ dao động

Hình 1 thể hiện cấu trúc của bộ dao động mạch vòng, gồm 8 khâu giữ chậm vi sai, đa đường hồi tiếp. Cấu trúc bao gồm vòng lặp chính (đường nét liền) và các vòng lặp phụ (đường nét đứt). Kiến trúc vi sai thường được ưa chuộng hơn so với kiến trúc đơn vì những ưu điểm của chúng, bao gồm khả năng chống nhiễu tốt hơn, tăng độ trong của phổ tần số đầu ra và dạng sóng có độ trống 50% [9].

### 2.1. Khâu giữ chậm

Hình 2 mô tả sơ đồ khâu giữ chậm vi sai của bộ dao động. Tần số của bộ tạo dao động vòng chủ yếu được xác định bởi độ trễ của từng khâu giữ chậm. Để có được tần số cao, số lượng các khâu giữ chậm phải nhỏ. Tuy nhiên, trong các ứng dụng yêu cầu đầu ra nhiều pha, số lượng khâu giữ chậm nhỏ có thể không đáp ứng được yêu cầu. Để giải quyết sự đánh đổi giữa tần số cao và yêu cầu đầu ra nhiều pha kiến trúc đa đường được đề xuất. Với kỹ thuật này, có thể đạt được tần số cao đồng thời đáp ứng yêu cầu đầu ra nhiều pha. Sơ đồ mạch trong Hình 2 không sử dụng đuôi nguồn dòng điện, do đó dải điện áp đầu ra được tối đa hóa, điện áp nguồn cũng có thể giảm xuống thấp hơn so với mạch sử dụng đuôi nguồn dòng. Khâu giữ chậm này bao gồm cặp transistor đầu vào của vòng lặp chính (N1, N2) và cặp transistor đầu vào của vòng lặp phụ (P3, P4). Quá trình thay đổi điện áp ở đầu vào phụ (SN, SP) sớm hơn ở đầu vào chính (PN, PP). Do đó, khi điện áp tại PP (hoặc PN) giảm, N1 (hoặc N2) đóng, transistor đầu vào phụ P3 (hoặc P4) đã mở sẵn, dẫn dòng điện nạp cho tụ tải ký sinh tại nút đầu ra OUTN (hoặc OUTP). Vì vậy thời gian để điện áp tại nút đầu ra tăng từ thấp lên cao giảm xuống. Mặt khác, N4 và N5 tạo thành cặp chốt phản hồi và làm chậm tốc độ của mạch. Khi điện áp tại OUTN tăng lên, N4 sẽ lấy dòng điện từ nút OUTN qua N3, làm cho quá trình chuyển đổi từ thấp lên cao tại nút OUTN chậm hơn và tình trạng tương tự xảy ra khi điện áp tại OUTP tăng lên. Tuy nhiên, các transistor chốt phản hồi được thiết kế có kích thước nhỏ để giảm hiệu ứng làm chậm tốc độ của mạch. Z1, Z2 là các tải biến đổi tích cực (Hình 3), bằng cách điều chỉnh các tải này, tần số hoạt động có thể được điều chỉnh.



Hình 2. Sơ đồ nguyên lý khâu giữ chậm vi sai

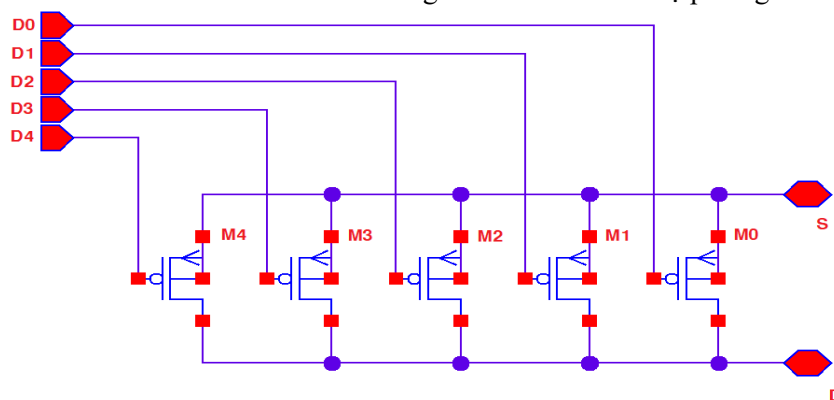
### 2.2. Điều chỉnh tần số

Theo [10], tần số đầu ra bộ dao động được xác định theo công thức:

$$\omega = \frac{\tan \theta}{RC} + \frac{g_{ms} (\cos \phi \tan \theta - \sin \phi)}{C} - \frac{g_{mc}}{\tan \theta} \tag{1}$$

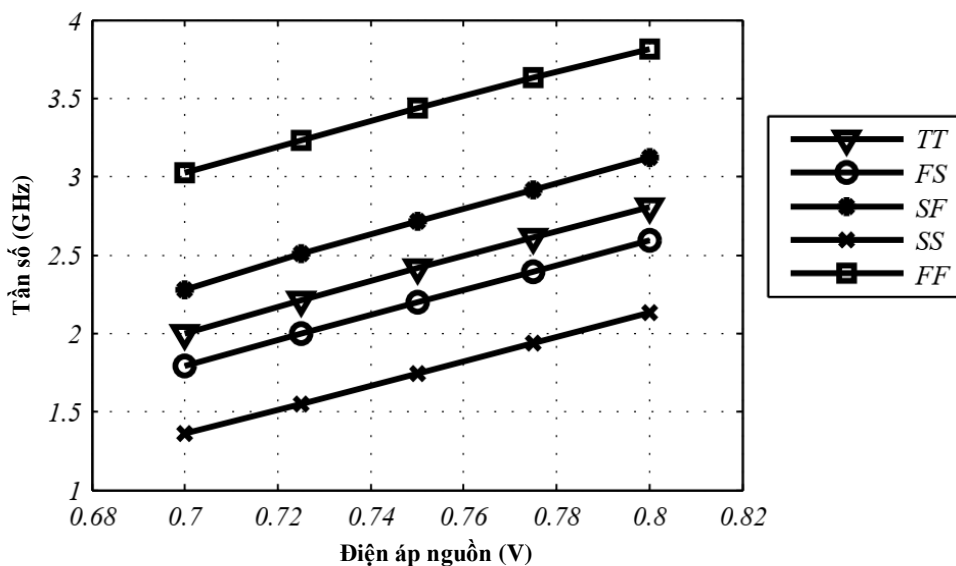
trong đó,  $\theta$  là độ lệch pha giữa nút đầu ra và nút đầu vào chính,  $\beta$  là độ lệch pha giữa nút đầu ra và nút đầu vào phụ,  $g_{ms}$  là độ dẫn điện của đầu vào phụ,  $g_{mc}$  là độ dẫn điện được tạo bởi transistor chốt phản hồi. R, C là các tải tương đương tại nút đầu ra. Số hạng thứ nhất, thứ hai và thứ ba được tạo thành bởi vòng lặp sơ cấp, vòng lặp thứ cấp và cặp chốt phản hồi tương ứng. Từ phương trình (1), việc điều chỉnh tần số có thể được thực hiện bằng cách điều chỉnh tải hoặc độ dẫn điện của cặp chốt phản hồi  $g_{mc}$ . Trong thiết kế này, Z1, Z2 là tải tích cực, được sử dụng để điều chỉnh tần số thô. Chúng giống hệt nhau và bao gồm 5 PMOS (Hình 3). Đặc tính tải của khâu giữ chậm sẽ thay đổi khi điện áp cổng của tải PMOS thay đổi. Trong trường hợp này, cổng của mỗi PMOS được điều khiển bởi một bit dữ liệu. Bằng cách này, điều chỉnh thô tần số được thực hiện bằng bus dữ liệu số 5 bit.

Điều chỉnh tinh được thực hiện bằng cách điều chỉnh dòng điện thông qua mạch chốt phản hồi. Với việc chọn kích thước của các transistor của tải tích cực và của chốt phản hồi phù hợp, chúng ta có thể điều chỉnh tần số thô và tinh trong dải điều chỉnh và độ phân giải mong muốn.



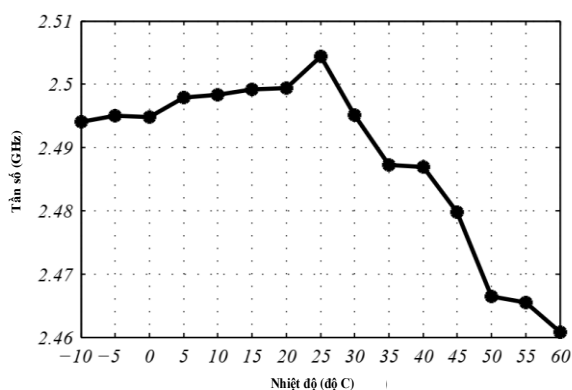
Hình 3. Mạng tải tích cực

### 3. Kết quả và thảo luận

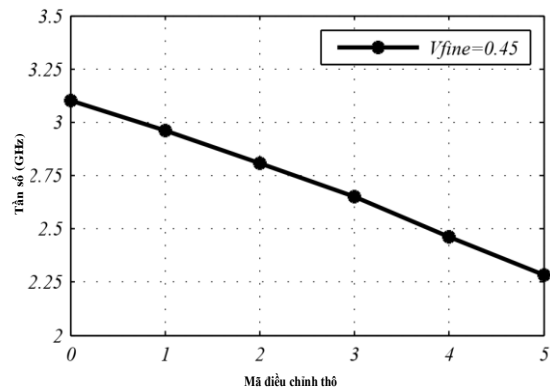


Hình 4. Tần số ra theo điện áp nguồn với các biến thiên công nghệ khác nhau

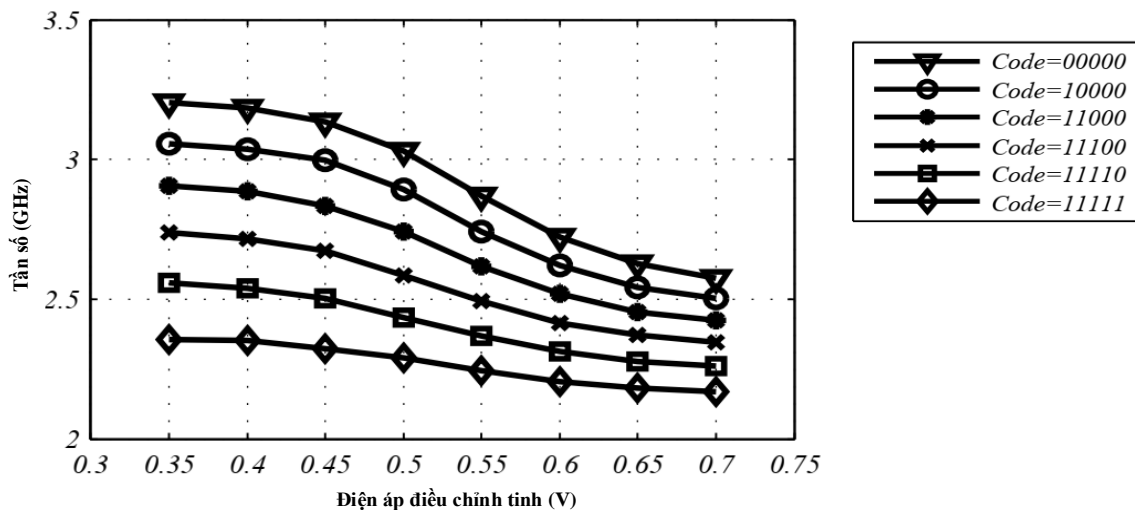
Bộ dao động được đánh giá bằng mô phỏng theo nhiệt độ, điện áp nguồn và các biến thiên của công nghệ chế tạo. Hình 4 mô tả sự phụ thuộc của tần số đầu ra vào điện áp nguồn với các biến thiên công nghệ khác nhau: TT (Typical - Typical), FS (Fast - Slow), SF (Slow - Fast), SS (Slow - Slow), FF (Fast - Fast). Có thể thấy rằng tần số hoạt động của bộ dao động thay đổi rất nhiều theo sự thay đổi của công nghệ chế tạo. Nếu chỉ sử dụng một đường điều khiển tần số duy nhất, rất khó để điều chỉnh tần số về giá trị mong muốn. Hình 5 cho thấy sự phụ thuộc của tần số vào nhiệt độ. Khi nhiệt độ thay đổi từ -10 đến 60 độ, tần số hoạt động thay đổi trong phạm vi 50 MHz. Hình 6 là đặc tính điều chỉnh thô, các giá trị trên trục X tương ứng với số lượng bit cao trong mã điều chỉnh thô. Hình 7 là đặc tính điều chỉnh thô - tinh với quy trình công nghệ tiêu chuẩn (TT). Có thể thấy rằng đường điều chỉnh thô khá tuyến tính và bộ dao động vòng có dải điều chỉnh tần số lớn từ 2,25 GHz đến 3,1 GHz tại  $V_{fine} = 0,45$  V. Với đường đặc tính điều chỉnh tinh, tần số đầu ra thay đổi trong khoảng 180 MHz (với mã điều chỉnh thô “11111”).



Hình 5. Tần số ra biến thiên theo nhiệt độ

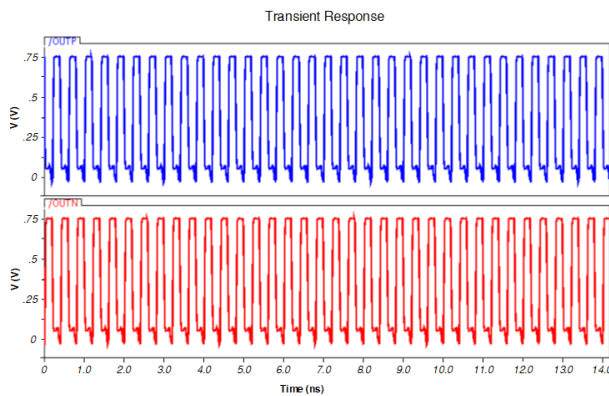


Hình 6. Đặc tính điều chỉnh thô

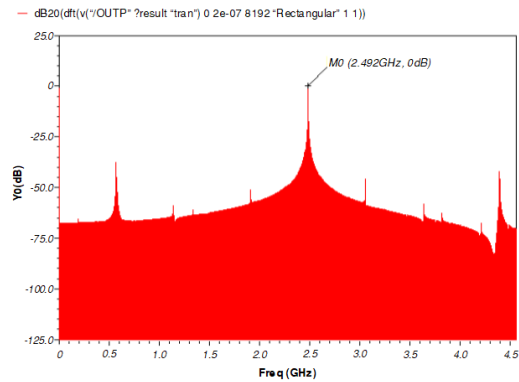


Hình 7. Đặc tính điều chỉnh thô - tinh

Kết quả mô phỏng tín hiệu đầu ra trong miền thời gian và miền tần số được thể hiện trên Hình 8 và Hình 9 với mã điều chỉnh thô là “11110”,  $V_{fine} = 0,43$  V.

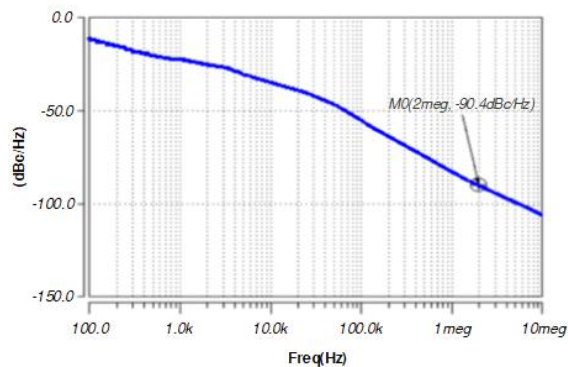


Hình 8. Tín hiệu đầu ra bộ dao động trong miền thời gian

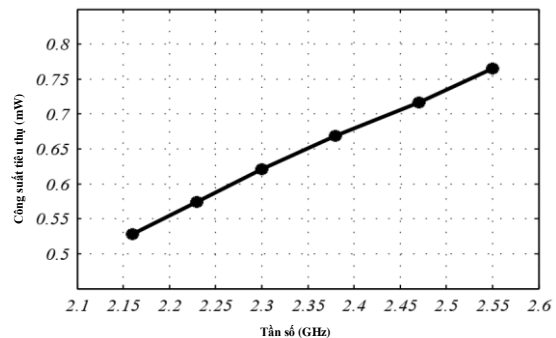


Hình 9. Phổ tần số của tín hiệu đầu ra

Hình 10 là kết quả mô phỏng nhiễu pha, cho thấy bộ tạo dao động đạt được nhiễu pha -90,4 dBc/Hz ở độ lệch 2 MHz. Hình 11 thể hiện công suất tiêu thụ của mạch theo các giá trị khác nhau của tần số đầu ra với điện áp nguồn 0,75 V. Ở tần số đầu ra 2,25 GHz, bộ tạo dao động chỉ tiêu thụ 0,57 mW. Hiệu năng của bộ dao động vòng đề xuất được so sánh với các bộ dao động khác đã công bố trước đây trong Bảng 1. Có thể thấy, bộ dao động được thiết kế có thể hoạt động tốt ở điện áp nguồn nhỏ, tiêu thụ công suất thấp nhất trong khi dải điều chỉnh tần số lên tới hơn 1 GHz, đạt xấp xỉ 62% so với tần số trung tâm và cung cấp tới 16 pha đầu ra.



Hình 10. Kết quả mô phỏng tạp pha đầu ra



Hình 11. Công suất tiêu thụ theo tần số

Bảng 1. Tóm tắt tham số và so sánh

Tham số	[11]	[6]	[8]	[12]	Bộ dao động đề xuất
Công nghệ CMOS	0,18 $\mu$ m	65 nm	65 nm	0,18 $\mu$ m	65 nm
Nguồn (V)	1,8	1	1,2	1,8	<b>0,75</b>
Dải điều chỉnh tần số (GHz)	0,7 – 1,2	2,4 – 11	8 – 20,5	0,902 – 0,928	<b>2,15 – 3,2</b>
Công suất tiêu thụ (mW)	9,5	20	3,75	4,62	<b>0,57</b>
Nhiều pha (dBc/Hz)	-102 @ 1 MHz	-90,08 @ 1 MHz	-87,55 @ 1 MHz	-121 @ 1 MHz	-90,4 @ 2 MHz

#### 4. Kết luận

Trong bài báo này, bộ dao động vòng được thiết kế bằng cách sử dụng kiến trúc đa đường hồi tiếp vi sai với nhiều ưu điểm hơn các bộ dao động vòng đã được công bố trước đây. Bộ dao động cung cấp tới 16 pha đầu ra trong khi tần số hoạt động có thể được điều chỉnh trong phạm vi rộng

từ 2,15 GHz đến 3,2 GHz. Đặc biệt, bộ dao động vòng có công suất tiêu thụ nhỏ, điện áp nguồn thấp, phù hợp với các ứng dụng IoT yêu cầu tiêu thụ điện năng thấp. Bên cạnh đó, khi được tích hợp vào các hệ thống như vòng khóa pha PLL hay bộ khôi phục clock CDR, bộ dao động giúp cho hệ thống có độ phức tạp thấp hơn với khả năng điều chỉnh tần số bằng bus dữ liệu số và điều chỉnh tinh bằng điện áp tương tự.

#### TÀI LIỆU THAM KHẢO/ REFERENCES

- [1] R. Wang and F. F. Dai, "A 0.8~1.3 GHz multi-phase injection-locked PLL using capacitive coupled multi-ring oscillator with reference spur suppression," *2017 IEEE Custom Integrated Circuits Conference (CICC)*, Austin, TX, USA, 2017, pp. 1-4, doi: 10.1109/CICC.2017.7993634.
- [2] Y. Zhong and N. A. Sun, "Survey of Voltage-Controlled-Oscillator-Based  $\Delta\Sigma$  ADCs," *Tsinghua Science and Technology*, vol. 27, no. 3, pp. 472-480, 2022.
- [3] T. Miyazaki, M. Hashimoto, and H. Onodera, "A Performance Comparison of PLLs for Clock Generation Using Ring Oscillator VCO and LC Oscillator in a Digital CMOS Process," *ASP-DAC 2004: Asia and South Pacific Design Automation Conference 2004 (IEEE Cat. No.04EX753)*, Yokohama, Japan, 2004, pp. 545-546, doi: 10.1109/ASPDAC.2004.1337641.
- [4] S. Haykin, *An Introduction to Analog and Digital communication*, JohnWiley, 1994.
- [5] D. Vert, M. Pignol, V. Lebre, E. Moutaye, F. Malou, and J.-B. Begueret, "A 3.2 GHz Injection-Locked Ring Oscillator-Based Phase-Locked-Loop for Clock Recovery," *Electronics*, vol.11, no. 21, 2022, doi: 10.3390/electronics11213590.
- [6] D. Samaras and A. A. Hatzopoulos, "High performance, wide tuning range 65nm CMOS tunable Voltage Controlled Ring Oscillator up to 11 GHz," *9th International Conference on Modern Circuits and Systems Technologies (MOCAS)*, 2020, pp. 1-4.
- [7] N. Ghaderi, M. Zhang, D. Yu, and L. Lorenzelli, "A New Low Power Ring Voltage-Controlled Oscillator with a Wide Tuning Range," *9th International Electrical Engineering Congress (iEECON)*, 2021, pp. 293-296.
- [8] S. B. Naik, R. K. Siddharth, A. Chatterjee, N. Y.B. Kumar, M. H. Vasantha, and R. Kini, "A Wideband 12 Phase Ring Oscillator for 5G Applications," *2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2020, pp. 885-888.
- [9] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2 ed. New York: McGraw-Hill, Chapter 8, 2017.
- [10] L. Sun and T. A. Kwasniewski, "A 1.25GHz 0.35 $\mu$ m monolithic CMOS PLL based on a multiphase ring oscillator," *IEEE J. SolidState Circuits*, vol. 36, no. 6, pp. 910-916, Jun. 2001.
- [11] Y. S. Choi, "A negative feedback looped voltage-controlled ring oscillator with frequency voltage converter," *IEEE Trans. Microw. Theory Techn.*, vol. 61, no. 9, pp. 3271-3276, Sep. 2013.
- [12] N. Gargouri, M. Samet, and Z. Sakka, "A Low-Noise Injection-Locked Ring Oscillator for biomedical implants applications," *2022 IEEE 9th International Conference on Sciences of Electronics, Technologies of Information and Telecommunications (SETIT)*, Hammamet, Tunisia, 2022, pp. 320-324, doi: 10.1109/SETIT54465.2022.9875516.