

DESIGN AND PERFORMANCE EVALUATION OF 64-BIT PRECHARGE FREE - TERNARY CONTENT ADDRESSABLE MEMORY

La Nguyen Gia Huy, Nguyen The Luan, Truong Quang Phuc*,
 Nguyen Ngo Lam, Do Duy Tan, Nguyen Van Thanh Loc
 Ho Chi Minh City University of Technology and Education

ARTICLE INFO		ABSTRACT
Received:	18/6/2025	The ternary content-addressable memory is a specialized type of memory that is widely applied in systems requiring high-speed data access, such as network routers and data buffers. Compared to conventional content-addressable memory, the ternary content-addressable memory offers greater flexibility by introducing a third logic state, “X” (don’t care), which can match both “0” and “1”, thereby accelerating the search process. However, due to its ability to perform parallel searches within a single clock cycle and its transistor-intensive architecture, it results in high power consumption and significant leakage current. This paper presents the design and evaluation of a precharge-free memory architecture as an energy-efficient alternative. The proposed architecture reduces the number of transistors while maintaining parallel search capability. The power consumption and performance of the 64-bit precharge-free memory are evaluated and compared with those of the conventional 64-bit memory using Cadence Virtuoso software, demonstrating superior energy efficiency and competitive performance of the proposed architecture.
Revised:	14/11/2025	
Published:	18/11/2025	
KEYWORDS		
DCAM		
TCAM		
PF-TCAM		
Highspeed		
Low power		

THIẾT KẾ VÀ ĐÁNH GIÁ HIỆU NĂNG CỦA BỘ NHỚ TRUY CẬP NỘI DUNG BA TRẠNG THÁI KHÔNG CẦN SẠC TRƯỚC 64 BIT

Lã Nguyễn Gia Huy, Nguyễn Thế Luân, Trương Quang Phúc*,
 Nguyễn Ngô Lâm, Đỗ Duy Tân, Nguyễn Văn Thành Lộc
 Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh

THÔNG TIN BÀI BÁO		TÓM TẮT
Ngày nhận bài:	18/6/2025	Bộ nhớ truy cập nội dung ba trạng thái là một loại bộ nhớ chuyên biệt được ứng dụng rộng rãi trong các hệ thống yêu cầu truy cập dữ liệu tốc độ cao như bộ định tuyến mạng và bộ đệm dữ liệu. So với bộ nhớ truy cập nội dung truyền thống, bộ nhớ truy cập nội dung ba trạng thái mang lại sự linh hoạt cao hơn nhờ bổ sung trạng thái logic thứ ba “X” (bỏ qua giá trị), cho phép khớp với cả “0” và “1”, từ đó tăng tốc quá trình tìm kiếm. Tuy nhiên, do khả năng tìm kiếm song song trong một chu kỳ xung nhịp và kiến trúc chứa nhiều bóng bán dẫn, làm cho tiêu thụ năng lượng lớn và gặp phải dòng rò cao. Bài báo này trình bày quá trình thiết kế và đánh giá kiến trúc bộ nhớ không cần sạc trước như một giải pháp tiết kiệm năng lượng thay thế. Kiến trúc này được đề xuất giúp giảm số lượng bóng bán dẫn trong khi vẫn duy trì khả năng tìm kiếm song song. Mức tiêu thụ năng lượng và hiệu năng bộ nhớ không cần sạc trước 64-bit được đánh giá và so sánh với bộ nhớ 64-bit truyền thống bằng phần mềm Cadence Virtuoso, cho thấy hiệu quả năng lượng vượt trội và hiệu năng cạnh tranh của kiến trúc được đề xuất.
Ngày hoàn thiện:	14/11/2025	
Ngày đăng:	18/11/2025	
TỪ KHÓA		
DCAM		
TCAM		
PF-TCAM		
Tốc độ cao		
Công suất thấp		

DOI: <https://doi.org/10.34238/tnu-jst.13084>

* Corresponding author. Email: phuctq@hcmute.edu.vn

1. Giới thiệu

Bộ nhớ truy cập theo nội dung ba trạng thái (TCAM) là một loại bộ nhớ chuyên dụng, được sử dụng rộng rãi trong các hệ thống đòi hỏi tốc độ tra cứu cao như bộ định tuyến mạng, bộ đệm dữ liệu và các ứng dụng tìm kiếm theo nội dung. Tuy nhiên, một trong những hạn chế đáng kể của TCAM truyền thống là mức tiêu thụ năng lượng cao, chủ yếu bắt nguồn từ quá trình nạp và xả điện áp trên các đường so khớp (Match Line) trong mỗi chu kỳ tìm kiếm. Nhằm khắc phục vấn đề này, nhiều hướng nghiên cứu đã được đề xuất nhằm tối ưu kiến trúc TCAM theo hướng tiết kiệm năng lượng mà vẫn đảm bảo hiệu suất hoạt động.

Cụ thể, nghiên cứu [1] đề xuất cơ chế dự đoán nạp trước (precharge prediction) để ngắt sớm các phép so sánh không cần thiết, giúp giảm đến 50% công suất tiêu thụ. Ở nghiên cứu [2], tác giả trình bày kiến trúc Bộ nhớ truy cập nội dung ba trạng thái không cần nạp trước (PF-TCAM) có bit điều khiển và PF-TCAM không cần bit điều khiển qua đó thực hiện so sánh độ trễ và công suất tiêu thụ giữa 2 kiến trúc và cho thấy sự tối ưu so với cấu trúc TCAM thông thường. Trong khi đó, công trình [3] phát triển kỹ thuật sọc chọn lọc đường so khớp (SML, ASML), đạt được mức tiết kiệm năng lượng lên đến 58%. Các nghiên cứu khác [4] – [9] tiếp cận theo hướng rút gọn ô nhớ, thay đổi kiến trúc CAM, hoặc ứng dụng công nghệ bóng bán dẫn (transistor) thế hệ mới như bóng bán dẫn hiệu ứng trường ống nano carbon (CNFET), nhằm đạt được thiết kế có mật độ cao và mức tiêu thụ năng lượng thấp hơn. Trong các giải pháp, PF-TCAM (Precharge-Free TCAM) nổi bật nhờ kiến trúc đơn giản và hiệu quả, sử dụng chỉ 4 bóng bán dẫn và 4 mạch đảo mỗi ô nhớ. Thiết kế này cho phép so sánh dữ liệu với công suất thấp nhưng vẫn đảm bảo tốc độ và độ chính xác cao. Việc loại bỏ chu kỳ nạp trước trên các đường so khớp giúp giảm tiêu thụ năng lượng, phù hợp với các ứng dụng nhúng tốc độ cao và tiết kiệm điện. Một số công trình liên quan như tập trung tối ưu bộ nhớ truy cập ngẫu nhiên tĩnh (SRAM) ở mức mạch [10], hoặc giới thiệu kiến trúc bộ nhớ truy cập nội dung động không tiêu tốn công suất tĩnh (PF-DCAM) để giảm năng lượng tiêu tán trong quá trình xác định kết quả [11].

Nghiên cứu này đề xuất một kiến trúc bộ nhớ PF-TCAM mới, giúp giảm đáng kể số lượng bóng bán dẫn (chỉ sử dụng 4 bóng bán dẫn và 4 mạch đảo mỗi ô nhớ) so với TCAM truyền thống (8 bóng bán dẫn và 4 mạch đảo) ít hơn 2 lần số lượng bóng bán dẫn so với TCAM, góp phần giảm đáng kể dòng rò sinh ra. Việc loại bỏ chu kỳ nạp trước trên đường so khớp, nguyên nhân chính gây tiêu thụ điện năng cao trong TCAM, mang lại một giải pháp thay thế hiệu quả về năng lượng. Bài báo này cung cấp phân tích định lượng về hiệu suất (độ trễ) và công suất tiêu thụ của PF-TCAM so với TCAM thông thường và PF-DCAM dưới nhiều điều kiện khác nhau, bổ sung dữ liệu thực nghiệm quan trọng vào lĩnh vực thiết kế bộ nhớ tiết kiệm năng lượng.

Kiến trúc PF-TCAM mang lại hiệu quả năng lượng vượt trội, đặc biệt trong trạng thái "khớp cục bộ", rất phù hợp cho các ứng dụng nhúng tốc độ cao và tiết kiệm điện. Với khả năng giảm độ trễ tìm kiếm đáng kể lên đến 64,6% so với TCAM, PF-TCAM có thể cải thiện tốc độ truy xuất dữ liệu trong các hệ thống yêu cầu hiệu năng cao như bộ định tuyến mạng và bộ đệm dữ liệu. Việc giảm số lượng bóng bán dẫn giúp tối ưu diện tích silicon và giảm chi phí phần cứng. Thiết kế sơ đồ bố trí linh kiện (layout) mạch 8x8 bit và kiểm tra thành công quy tắc thiết kế (DRC) và kiểm tra kết nối (LVS) khẳng định tính khả thi vật lý của kiến trúc đề xuất.

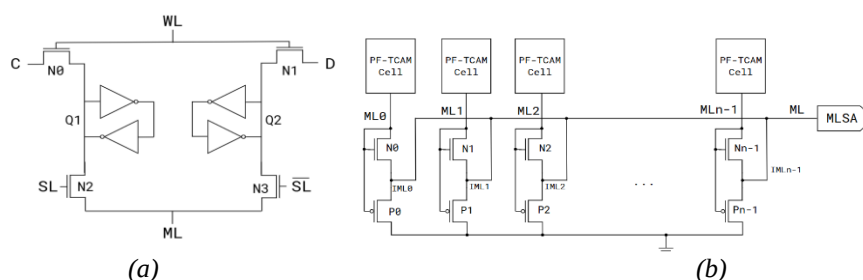
Phần còn lại của bài báo sẽ trình bày chi tiết kiến trúc PF-TCAM 64 bit, phương pháp mô phỏng, kết quả đánh giá hiệu năng và phân tích chuyên sâu, đóng góp thêm về các số liệu tính toán so sánh cụ thể công suất tiêu thụ 64 bit so với nhiều kiến trúc khác. Đồng thời thiết kế sơ đồ bố trí linh kiện nhằm khẳng định tính hiệu quả và tiềm năng ứng dụng thực tiễn của thiết kế này trong các hệ thống tìm kiếm tốc độ cao. Bài nghiên cứu thể hiện được ưu và nhược điểm mà thiết kế mang lại.

2. Phương pháp đề xuất

Trước những hạn chế của TCAM truyền thống như mức tiêu thụ điện năng cao và diện tích phần cứng lớn do sử dụng nhiều bóng bán dẫn, bài báo đề xuất một kiến trúc ô nhớ mới có tên PF-TCAM.

Mục tiêu của kiến trúc này là giảm số lượng bóng bán dẫn nhằm tiết kiệm diện tích chip, hạn chế dòng rò, đồng thời vẫn đảm bảo khả năng tìm kiếm song song với độ chính xác cao. Thông qua việc loại bỏ bộ nạp trước đường ML như thiết kế TCAM, cơ chế không sử dụng bit điều khiển giúp làm giảm đáng kể thời gian tìm kiếm. Điểm độc đáo trong thiết kế mạch điều khiển là sử dụng 2 bóng bán dẫn đóng vai trò như bộ đệm tín hiệu thay vì sử dụng 4 bóng bán dẫn như bộ đệm thông thường. Thiết kế PF-TCAM được mô phỏng và đánh giá bằng phần mềm Cadence Virtuoso (version 6.1.5 12/17/2012) của TSMC, cho phép so sánh chi tiết hiệu năng và công suất tiêu thụ dựa trên mức điện áp 1V – 1,2V và ở các mức nhiệt độ -5 °C, 27 °C và 85 °C so với TCAM truyền thống.

2.1. Cấu trúc PF-TCAM



Hình 1. PF-TCAM: (a) Cấu trúc của một ô nhớ PF-TCAM, (b) Cấu trúc mảng ô nhớ PF-TCAM

Ô nhớ PF-TCAM là một cải tiến từ kiến trúc TCAM truyền thống, với điểm nổi bật là giảm đáng kể số lượng bóng bán dẫn trong khi vẫn đảm bảo đầy đủ chức năng lưu trữ và so sánh dữ liệu. Cụ thể, thay vì sử dụng 6 bóng bán dẫn như trong ô nhớ TCAM tiêu chuẩn, kiến trúc PF-TCAM chỉ sử dụng 4 bóng bán dẫn, kết hợp với hai cặp mạch đảo để lưu trữ dữ liệu nhị phân, như được minh họa trong Hình 1a. Thiết kế rút gọn này không chỉ giúp tiết kiệm diện tích silicon, mà còn giảm thiểu dòng rò không mong muốn, từ đó góp phần tối ưu hóa công suất tiêu thụ tổng thể của mạch.

Để mở rộng thành kiến trúc lưu trữ nhiều bit, các ô nhớ PF-TCAM 1-bit được kết nối theo hàng và cột để tạo thành mảng PF-TCAM, như minh họa trong Hình 1b. Trong cấu trúc này, mỗi hàng chứa một nhóm các ô nhớ PF-TCAM được nối với một đường ML, cùng với các khối so sánh và điều khiển tương ứng. Kết quả của phép so sánh được dẫn về khối khuếch đại tín hiệu đầu ra (MLSA), giúp xác định nhanh dòng dữ liệu trùng khớp, đảm bảo tốc độ tra cứu cao và ổn định trong toàn bộ hệ thống.

2.2. Hoạt động ghi dữ liệu

Dữ liệu sẽ được lưu vào ô nhớ PF-TCAM với các giá trị được lưu như Hình 1, theo đó khi C = “0” và D = “1”, giá trị được lưu vào SRAM sẽ là Q1 = 0 và Q2 = 1. Bộ so sánh sẽ đóng vai trò thực hiện so sánh từng bit dữ liệu đầu vào với những bit được lưu trữ trước đó để xác định trường hợp khớp hoặc không khớp.

2.3. Hoạt động tìm kiếm dữ liệu

Bảng 1. Bảng sự thật của PF-TCAM

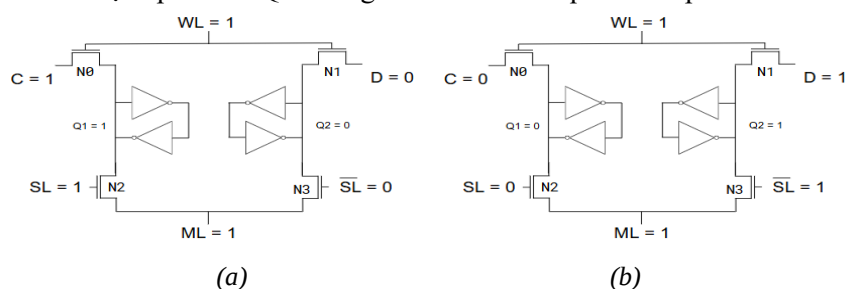
SL	SL _{bar}	Q1	Q2	Kết quả tìm kiếm
0	1	0	1	Khớp
1	0	0	1	Không khớp
1	0	1	0	Khớp
0	1	1	0	Không khớp
0	1	1	1	Khớp cục bộ
1	0	1	1	Khớp cục bộ

Khi Q2 = 1 và SL_{bar} = 1 (như trong Hình 1, cấu trúc ô nhớ PF-TCAM), bóng bán dẫn N3 dẫn, kéo giá trị Q2 xuống ML, do đó ML = 1, biểu thị kết quả trùng khớp (match). Ngược lại, trong

trường hợp $Q1 = 0$ và $SL = 1$, bóng bán dẫn N2 sẽ dẫn, đưa mức điện áp thấp từ Q1 xuống ML, dẫn đến $ML = 0$, tương ứng với trạng thái không khớp (mismatch). Các trường hợp chi tiết này được tổng hợp và trình bày trong Bảng 1.

2.3.1. Trường hợp khớp

Trước khi hoạt động tìm kiếm diễn ra, đường tín hiệu điều khiển (WL) phải lên mức “1” để cho phép quá trình ghi dữ liệu, lúc này hai bóng bán dẫn N0 và N1 sẽ được bật và ghi dữ liệu từ C và D vào Q1 và Q2. Hình 2 minh họa hai trường hợp tìm kiếm được kết quả trùng khớp, ở Hình 2a khi $C = “1”$, giá trị sẽ được lưu vào Q1 và $D = “0”$, giá trị sẽ được lưu vào Q2 và $SL = “1”$, lúc này bóng bán dẫn N2 bật và N3 tắt dẫn cho mức điện áp từ Q1 xuống ML làm cho mức điện áp ML lúc này lên cao và cho ra kết quả tìm kiếm là khớp. Tương tự với Hình 2b, $WL = “1”$ bóng bán dẫn N0 và N1 bật dẫn điện áp từ N0 và N1 xuống Q1 và Q2, $\overline{SL}$ mức “1” làm bật bóng bán dẫn N3 dẫn mức điện áp cao từ Q2 xuống ML để báo kết quả là khớp.

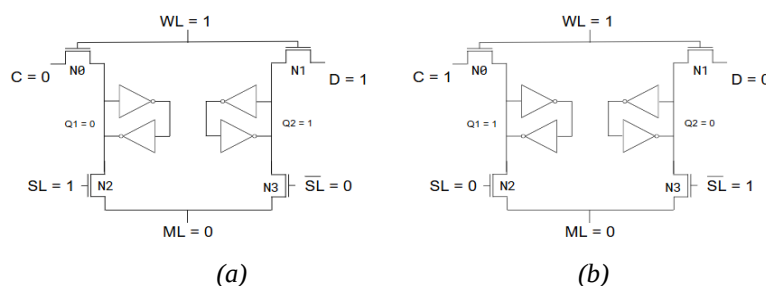


Hình 2. Trường hợp khớp: (a) Trường hợp $C=1$ và $SL=1$; (b) Trường hợp $D=1$ và $\overline{SL}=1$

Ngoài ra, ở trường hợp tìm kiếm khớp này còn một trạng thái khác gọi là che phủ cục bộ (local masking) hay còn gọi là trường hợp mức trạng thái “X”, trạng thái này diễn ra khi cả hai bóng bán dẫn N0 và N1 đều ở mức cao ($C = 1$ và $D = 1$) lúc này dù SL hay $\overline{SL}$ mang giá trị gì thì kết quả tìm kiếm vẫn luôn trả về là “khớp”.

2.3.2. Trường hợp không khớp

Cụ thể Hình 3 minh họa hai trường hợp tìm kiếm không khớp, với Hình 3a khi $C = “0”$ và $SL = “1”$, $\overline{SL} = “0”$, bóng bán dẫn N2 dẫn đưa mức điện áp từ $N0 = “0”$ xuống ML làm cho tín hiệu $ML = “0”$. Tương tự với Hình 3b khi $D = “0”$ và $\overline{SL} = “1”$ làm bật bóng bán dẫn N3 dẫn mức điện áp thấp từ N1 xuống ML làm cho tín hiệu $ML = “0”$, báo hiệu kết quả tìm kiếm là không khớp.



Hình 3. Kết quả tìm kiếm “không khớp”: (a) Trường hợp $C = 0$, $SL = 1$, $D = 1$, $\overline{SL} = “0”$; (b) Trường hợp $D = 0$, $\overline{SL} = “1”$

2.4. Công suất và độ trễ

2.4.1. Công suất

Công suất tiêu thụ bao gồm công suất động và công suất tĩnh:

Công suất động là năng lượng tiêu thụ khi mạch chuyển trạng thái, chủ yếu do nạp/xả điện dung tải, công thức là: $P_{dynamic} = \alpha \cdot C_L \cdot V_{dd}^2 \cdot f$ (1)

Công suất tĩnh là năng lượng tiêu thụ khi mạch không hoạt động, phát sinh từ các dòng rò:

$$P_{static} = (I_{sub} + I_{gate} + I_{junct} + I_{contention}) \cdot V_{DD} \quad (2)$$

$$\text{Tổng công suất: } P_{total} = P_{dynamic} + P_{static} \quad (3)$$

2.4.2. Độ trễ

Khi đầu vào thay đổi, đầu ra mạch logic cần một khoảng thời gian để đáp ứng - gọi là độ trễ lan truyền. Đây là thời gian từ lúc đầu vào đạt 50% mức điện áp ổn định cho đến khi đầu ra cũng đạt mức tương tự. Độ trễ phản ánh tốc độ phản hồi của mạch. Công thức của độ trễ là:

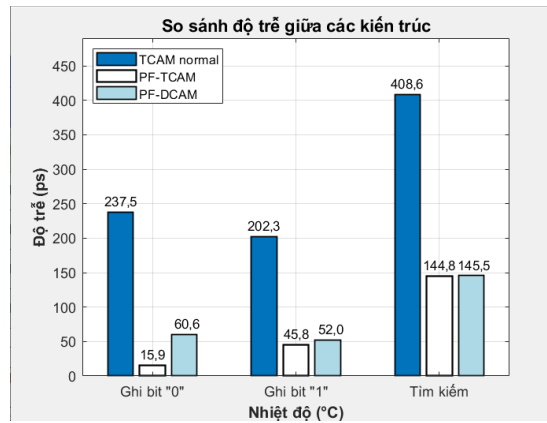
$$T_{delay} = \frac{t_{pdf} + t_{pdr}}{2} \quad (4)$$

Trong đó: t_{pdf} : Thời gian trễ khi đầu ra chuyển từ mức logic cao sang thấp

t_{pdr} : Thời gian trễ khi đầu ra chuyển từ mức logic thấp sang cao

3. Mô phỏng và đánh giá

3.1. Đánh giá độ trễ



Hình 4. Biểu đồ cột biểu diễn độ trễ giữa các kiến trúc

Hình 4 thể hiện giá trị so sánh về độ trễ giữa 3 cấu trúc TCAM, PF-TCAM và PF-DCAM, với màu xanh đậm biểu thị giá trị của cấu trúc TCAM, trắng biểu thị cho cấu trúc PF-TCAM và xanh nhạt biểu thị cho cấu trúc PF-DCAM.

Bảng 2. So sánh độ trễ giữa TCAM thông thường, PF-TCAM và PF-DCAM với 3 giá trị so sánh độ trễ khi ghi bit "0", độ trễ khi ghi bit "1" và độ trễ khi tìm kiếm dữ liệu

Đơn vị ps	PF-DCAM	TCAM normal	PF-TCAM
Độ trễ ghi bit "0"	60,64	237,5	15,923
Độ trễ ghi bit "1"	52	202,3	45,8
Độ trễ tìm kiếm	145,49	408,6	144,83

Bảng 2 so sánh độ trễ giữa ba kiến trúc: TCAM, PF-TCAM và PF-DCAM trong ba trường hợp: ghi "0", ghi "1" và tìm kiếm. Kết quả cho thấy PF-TCAM vượt trội về tốc độ, với độ trễ ghi "0" giảm 93,3% so với TCAM và 73,7% so với PF-DCAM; ghi "1" giảm lần lượt 77,4% và 11,92%; độ trễ tìm kiếm giảm 64,6% và 0,5%, đáp ứng tốt yêu cầu về tốc độ truy xuất.

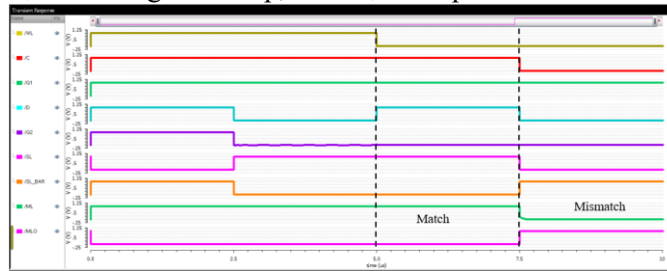
3.2. Đánh giá công suất trong các trường hợp

❖ Trường hợp 1:

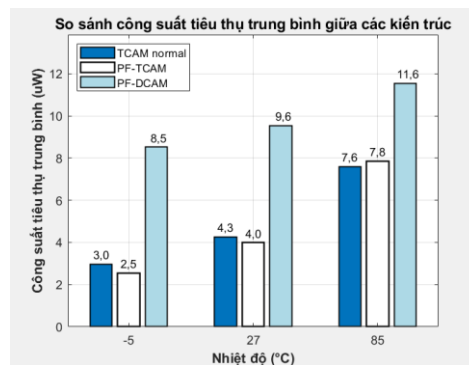
Công suất tiêu thụ của TCAM, PF-TCAM và PF-DCAM (triển khai trên công nghệ 90 nm) được tính toán và so sánh trong cả hai trạng thái "khớp" và "không khớp" với độ dài dữ liệu 64

bit, tại ba mức nhiệt độ: -5°C ; 27°C và 85°C . Dạng sóng mô phỏng tương ứng cho trường hợp 1 được minh họa trong Hình 5. Theo kết quả mô phỏng, quá trình hoạt động được chia thành ba giai đoạn chính:

- Từ 0 us đến 5 us: đường WL ở mức “1” cho phép ghi dữ liệu, lúc này giá trị của C và D lần lượt ghi vào Q1 và Q2.
- Từ 5 us đến 7,5 us: đường WL lúc này ở mức “0” quá trình ghi dữ liệu kết thúc, bắt đầu quá trình tìm kiếm dữ liệu, lúc này Q1 khớp với SL và Q2 khớp với SL-BAR, đường ML vẫn giữ mức “1” báo hiệu kết quả tìm kiếm “khớp”.
- Từ 7,5 us đến 10 us: đường WL vẫn ở mức “0”, SL = 0 và Q1 = 1 không trùng khớp nhau, lúc này đường ML sẽ bị kéo xuống mức thấp, báo hiệu kết quả tìm kiếm “không khớp”.



Hình 5. Dạng sóng mô phỏng PF-TCAM trường hợp 1 “không khớp/ khớp”



Hình 6. Biểu đồ cột biểu diễn công suất tiêu thụ trung bình TH1

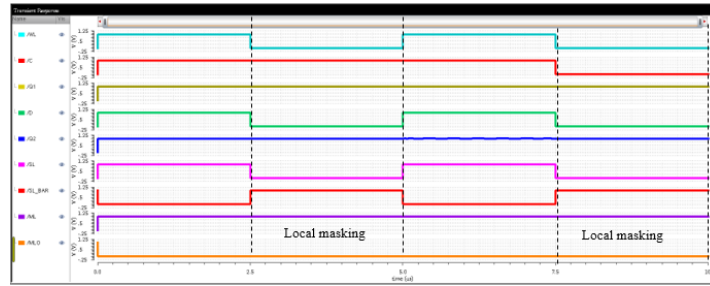
Hình 6 và Bảng 3 trình bày công suất tiêu thụ trung bình của ba kiến trúc TCAM, PF-TCAM và PF-DCAM trong trường hợp TH1 tại ba mức nhiệt độ. Kết quả cho thấy PF-TCAM tiết kiệm điện năng hơn TCAM và PF-DCAM ở -5°C và 27°C , nhưng tiêu thụ cao hơn TCAM 3,15% tại 85°C . Dù hiệu quả so với TCAM giảm khi nhiệt độ tăng, PF-TCAM vẫn vượt trội so với PF-DCAM ở mọi mức nhiệt và hoạt động tối ưu hơn TCAM ở nhiệt độ thấp và trung bình.

Bảng 3. So sánh giá trị công suất tiêu thụ trung bình ở các mức nhiệt độ -5°C ; 27°C và 85°C

Nhiệt độ	PF-DCAM (uW)	TCAM thông thường (uW)	PF-TCAM (uW)
-5°C	8,518	2,966	2,536
27°C	9,547	4,269	3,986
85°C	11,55	7,608	7,854

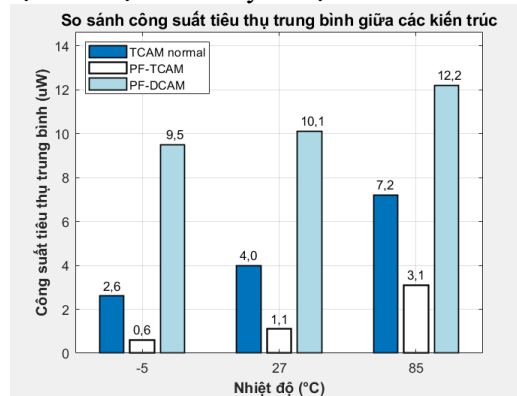
❖ Trường hợp 2:

Công suất tiêu thụ của TCAM, PF-TCAM và PF-DCAM (công nghệ 90 nm) được tính toán và so sánh trong trạng thái che phủ cục bộ với độ dài dữ liệu 64 bit, tại ba mức nhiệt độ: -5°C , 27°C và 85°C . Dạng sóng tín hiệu tương ứng được minh họa trong Hình 7.



Hình 7. Dạng sóng mô phỏng PF-TCAM trường hợp 2 “Che phủ cục bộ”

Quá trình ghi và tìm kiếm dữ liệu tương tự như trường hợp 1 và đã được đề cập ở trên. Trường hợp “che phủ cục bộ” đã được trình bày ở mục 2.3.2.



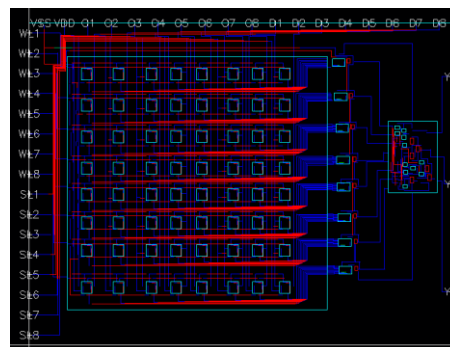
Hình 8. Biểu đồ cột biểu diễn công suất tiêu thụ trung bình TH2

Bảng 4. So sánh công suất tiêu thụ trung bình ở các mức nhiệt độ

Nhiệt độ	PF-DCAM (uW)	TCAM thông thường (uW)	PF-TCAM (uW)
-5 °C	9,503	2,622	0,6392
27 °C	10,14	3,96	1,137
85 °C	12,2	7,245	3,143

Hình 8 và Bảng 4 thể hiện công suất tiêu thụ trung bình trong trường hợp TH2 ở ba mức nhiệt độ. Kết quả cho thấy PF-TCAM tiết kiệm năng lượng vượt trội so với TCAM và PF-DCAM, với mức giảm lần lượt đến 75,6% và 93,3% tại -5 °C; 71,2% và 88,79% tại 27 °C; 56,6% và 74,24% tại 85 °C. Hiệu quả giảm dần khi nhiệt độ tăng. So với TH1, công suất tiêu thụ ở TH2 giảm đáng kể do không có giai đoạn xả nên các bóng bán dẫn không có hiện tượng chuyển mạch giúp tiết kiệm công suất động cũng như dòng rò sinh ra, giúp làm rõ sự khác biệt giữa các kiến trúc.

3.3. Thiết kế sơ đồ bố trí mạch



Hình 9. Sơ đồ bố trí mạch PF-TCAM 8×8 bit được ghép lại từ các khối nhỏ đã được vẽ trước đó

Sau khi hoàn tất đánh giá công suất và độ trễ, chúng tôi tiến hành thiết kế và mô phỏng sơ đồ bố trí mạch PF-TCAM 8×8 bit (Hình 9), gồm bốn khối chính: ô nhớ 8×8 (64 ô 1-bit PF-TCAM), khối so sánh, khối khuếch đại tín hiệu và khối mã hóa ưu tiên 8-to-3. Thiết kế đã vượt qua các bước kiểm tra DRC và LVS, xác nhận tính chính xác và khả thi của kiến trúc ở mức bóng bán dẫn.

4. Kết luận

Bài báo đã trình bày một phương án thiết kế kiến trúc bộ nhớ PF-TCAM như một giải pháp tiết kiệm năng lượng và hiệu quả cao, thay thế cho kiến trúc TCAM truyền thống và PF-DCAM. Thông qua việc loại bỏ chu kỳ nạp trước (precharge) trên đường so khớp – vốn là nguyên nhân chính gây tiêu thụ điện năng cao trong TCAM – kiến trúc PF-TCAM đã cho thấy khả năng giảm đáng kể công suất tiêu thụ trong khi vẫn đảm bảo độ chính xác và khả năng tìm kiếm song song. Các kết quả mô phỏng chỉ tiết trong nhiều điều kiện hoạt động và mức nhiệt độ khác nhau đã cho thấy PF-TCAM vượt trội rõ rệt so với các thiết kế đối chứng về mặt năng lượng, đặc biệt trong các trạng thái tìm kiếm đặc biệt như “che phủ cục bộ”.

Tuy nhiên, việc sử dụng kiến trúc PF-TCAM còn gặp một vài hạn chế như độ tìm kiếm chính xác giảm khi mở rộng kích thước ô nhớ lên hơn 64 bit (sẽ sai 1 bit trong quá trình tìm kiếm), công suất tiêu thụ tăng ở trường hợp khi nhiệt độ tăng tới 85 °C.

Định hướng nghiên cứu tiếp theo là mở rộng và tối ưu hóa thiết kế này trên các nút công nghệ CMOS tiên tiến hơn như tiến trình 8 nm, 5 nm và 3 nm. Ngoài ra, việc khai thác các công nghệ bóng bán dẫn thế hệ mới như CNFET (Carbon Nanotube FET), có thể giúp tiếp tục cải thiện hiệu năng, giảm diện tích và mở rộng tiềm năng ứng dụng của kiến trúc PF-TCAM trong các hệ thống nhúng tốc độ cao và tiết kiệm năng lượng.

TÀI LIỆU THAM KHẢO/ REFERENCES

- [1] S. V. V. Satti, “Design of TCAM Architecture for Low Power and High Performance Applications,” *GU J. Sci.*, vol. 32, no. 1, pp. 164-173, 2019.
- [2] V. Datti and P. V. Sridevi, “Low Power High Speed Ternary Content Addressable Memory,” *International Journal of Recent Technology and Engineering (IJRTE)*, vol. 8, no. 2, pp. 2454 - 2458, July 2019.
- [3] S.Y. Doo and K. W. Kwon, “Dynamic Power Reduction in TCAM Using Advanced Selective Pre-Charging of Match Lines,” *Electronics*, vol. 12, 2023, Art. no. 3691.
- [4] N. Sainee, R. Nigam, and S. Chouhan, “High-Density with Low-Power TCAM Design and Application,” *International Research Journal of Engineering and Technology (IRJET)*, vol. 8, pp. 3618 - 3622, August 8, 2021.
- [5] M. Zakariya and H. M. Kittur, “Precharge-Free, Low-Power Content-Addressable Memory,” *IEEE Transactions On Very Large Scale Integration (VLSI)*, vol. 24, pp. 2614 - 2621, August 8, 2016.
- [6] D. Sethi, M. Kaur, and G. Singh, *Design and performance analysis of a CNFET - based TCAM cell with dual-chirality selection*, Springer Science + Business Media, New York, January 27, 2017.
- [7] T. V. Mahendra, S. W. Hussain, S. Mishra, and A. Dandapat, “Low discharge precharge free matchline structure for energy-efficient search using CAM,” *VLSI Journal*, vol. 69, pp. 31–39, 2019.
- [8] G. Kumar and S. Agrawal, “Carbon Nanotube Field Effect Transistors: An Aspect of Low Power and High Frequency Applications of CNTFETs,” *International Conference on Disruptive Technologies (ICDT)*, 2023, pp. 586-590.
- [9] Y. Ahn, Y. Lee, and G. Lee, “Power and Time Efficient IP Lookup Table Design Using Partitioned TCAMs,” *Circuits and Systems*, vol. 4, pp. 299-303, 2013.
- [10] S. Pousia and R. Manjith, “Design of Low Power High Speed SRAM Architecture using SK-LCT Technique,” *IEEE International Conference on Current Trends toward Converging Technologies*, 2018, pp. 1 - 7.
- [11] S. V. V Satti and S. Sriadibhatla, “Dual bit control low-power dynamic content addressable memory design for IoT applications,” *Turk J. Elec. Eng. & Comp. Sci.*, vol. 29, pp. 1274 – 1283, March 30, 2021.